

09/842,800



日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2000年10月20日

出願番号  
Application Number:

特願2000-321530

出願人  
Applicant (s):

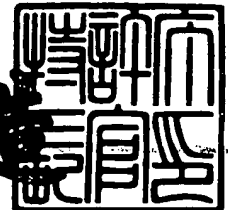
株式会社東芝

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 12831701

【提出日】 平成12年10月20日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 24

【発明者】

    【住所又は居所】 埼玉県深谷市幡羅町1-9-2 株式会社東芝 深谷工場内

    【氏名】 中 村 卓

【発明者】

    【住所又は居所】 埼玉県深谷市幡羅町1-9-2 株式会社東芝 深谷工場内

    【氏名】 原 田 望

【特許出願人】

    【識別番号】 000003078

    【住所又は居所】 神奈川県川崎市幸区堀川町72番地

    【氏名又は名称】 株式会社 東 芝

【代理人】

    【識別番号】 100064285

    【弁理士】

    【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

    【識別番号】 100088889

    【弁理士】

    【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

    【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【先の出願に基づく優先権主張】

【出願番号】 特願2000-127093

【出願日】 平成12年 4月27日

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711285

【包括委任状番号】 9711282

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

絶縁基板上に縦横に列設される信号線および走査線と、  
信号線および走査線の各交点付近に形成される表示素子と、  
前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、  
前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、を備えた表示装置において、

前記信号線駆動回路による信号線の駆動順序に合わせた順序でデジタル画素データを出力するグラフィックコントローラ IC を備え、

このグラフィックコントローラ IC は、前記デジタル画素データの周期の 2 倍以上の周期でクロック信号を出力し、

前記信号線駆動回路および前記走査線駆動回路は、前記クロック信号に同期させて、それぞれ信号線および走査線の駆動を行うことを特徴とする表示装置。

【請求項 2】

前記グラフィックコントローラ IC は、前記絶縁基板上に実装されることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記グラフィックコントローラ IC は、前記デジタル画素データおよび前記クロック信号の位相調整を行う位相調整回路を有することを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記グラフィックコントローラ IC は、前記クロック信号、同期信号、および前記デジタル画素データの他に、前記信号線駆動回路および前記走査線駆動回路の駆動開始を指示する制御信号を出力することを特徴とする請求項 1 ～ 3 のいずれかに記載の表示装置。

【請求項 5】

前記グラフィックコントローラ IC は、前記デジタル画素データを出力する画

素データ出力回路を有し、

前記画素データ出力回路は、有効な前記デジタル画素データを出力しない期間内に、前記デジタル画素データのハイレベル電圧とローレベル電圧との中間レベル電圧を出力することを特徴とする請求項 1 ～ 4 のいずれかに記載の表示装置。

【請求項 6】

前記表示素子、前記信号線駆動回路および前記走査線駆動回路は、ポリシリコン T F T (Thin Film Transistor) を用いて形成され、

前記グラフィックコントローラ I C は、前記ポリシリコン T F T が安定動作する周波数の前記クロック信号を出力することを特徴とする請求項 1 ～ 5 のいずれかに記載の表示装置。

【請求項 7】

前記信号線駆動回路は、前記グラフィックコントローラ I C から出力された各信号のレベル変換を行う単相入力レベル変換回路を有し、

前記レベル変換回路は、前記グラフィックコントローラ I C から出力された各信号を前記信号線駆動回路内のインバータのしきい値電圧を中心として上下に略等しい電圧ずつ変化する電圧に変換することを特徴とする請求項 1 ～ 6 のいずれかに記載の表示装置。

【請求項 8】

前記レベル変換回路は、

一端が入力端子に接続されたキャパシタ素子と、

前記キャパシタ素子の他端に接続されたインバータと、

前記インバータの入出力端子間に接続されたアナログスイッチと、を有し、

前記アナログスイッチをオン・オフさせることにより、前記インバータの入力電圧を、前記インバータのしきい値電圧を中心として上下に略等しい電圧ずつ変化させることを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記信号線駆動回路は、

前記レベル変換回路でレベル変換された後の前記デジタル画素データを前記クロック信号にて順にラッチして並列に振り分けて出力する分周回路を有し、

前記分周回路は、奇数番目の前記デジタル画素データと、そのデータに隣接する偶数番目の前記デジタル画素データとを、それぞれ同タイミングで、前記クロック信号の 2 倍の周期で出力することを特徴とする請求項 7 または 8 に記載の表示装置。

【請求項 1 0】

前記信号線駆動回路は、

信号線を N 本（N は 2 以上の整数）おきに駆動するために設けられる信号線の総数の  $1/N$  個のラッチ回路と、

前記ラッチ回路でラッチされたデジタル画素データをアナログ電圧に変換する D/A コンバータと、を有し、

前記グラフィックコントローラ IC は、前記信号線駆動回路による信号線の駆動順序に合わせて前記デジタル画素データを出力することを特徴とする請求項 1 ～ 9 のいずれかに記載の表示装置。

【請求項 1 1】

前記グラフィックコントローラ IC は、前記デジタル画素データおよび前記クロック信号の他に、前記クロック信号と位相が半周期シフトした他のクロック信号を出力することを特徴とする請求項 1 ～ 1 0 のいずれかに記載の表示装置。

【請求項 1 2】

絶縁基板上に縦横に列設される信号線および走査線と、

信号線および走査線の各交点付近に形成される表示素子と、

前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、

前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、を備えた表示装置において、

絶縁基板の一辺の略中央から前記一辺の両端に向けてそれぞれ配置される複数のデータバスと、

前記信号線駆動回路により各信号線が複数本おきに同時に駆動されるように、前記データバス上を伝搬するデジタル画素データの順序制御を行う順序制御回路と、を備えることを特徴とする表示装置。

【請求項 1 3】

複数本おきに配置される信号線のそれぞれに供給されるデジタル画素データを順次ラッチする第 1 ラッチ回路と、

前記第 1 ラッチ回路でのラッチ動作が一通り終了した時点で、すべてのラッチデータを同時に再ラッチする第 2 ラッチ回路と、

前記第 2 ラッチ回路でラッチされた各デジタル画素データをアナログ画素電圧に同時に変換する D/A 変換回路と、

前記アナログ画素電圧を供給する信号線を選択する選択回路と、を備えることを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 4】

前記第 2 ラッチ回路は、複数のグループに分けてデジタル画素データのラッチを行い、

前記 D/A 変換回路は、前記第 2 ラッチ回路でラッチされたデジタル画素データを、各グループごとにそれぞれ同時にアナログ画素電圧に変換することを特徴とする請求項 1 3 に記載の表示装置。

【請求項 1 5】

前記第 2 ラッチ回路は、第 1 ～第 N（N は 2 以上の整数）のラッチ部を有し、

前記 D/A 変換回路は、前記第 2 ラッチ回路の前記第 1 ～第 N のラッチ部でラッチされた各デジタル画素データを同時にアナログ画素電圧に変換することを特徴とする請求項 1 3 または 1 4 に記載の表示装置。

【請求項 1 6】

表示更新を行う前記表示素子の種類を指定するアドレスを発生するアドレス発生回路と、

前記信号線、前記走査線、前記表示素子、前記信号線駆動回路、前記走査線駆動回路、前記書き込み制御回路および前記データバスが形成される第 1 の基板と、

前記並び替え回路と前記アドレス発生回路とが形成される第 2 の基板と、を備え、

前記並び替え回路からデジタル画素データを前記データバスに供給する際、デジタル画素データの先頭データに先立って前記アドレス発生回路からのアドレス

を前記データバスに供給することを特徴とする請求項 1 2 ～ 1 5 のいずれかに記載の表示装置。

【請求項 1 7】

表示更新を行う前記表示素子の種類を指定するアドレスを発生するアドレス発生回路と、

前記信号線、前記走査線、前記表示素子、前記信号線駆動回路、前記走査線駆動回路、前記書き込み制御回路および前記データバスが形成される第 1 の基板と

、  
前記並び替え回路と前記アドレス発生回路とが形成される第 2 の基板と、を備え、

前記第 2 の基板から前記第 1 の基板に伝送されるイネーブル信号線を用いて、前記アドレス発生回路で発生されたアドレスを前記第 1 の基板に供給することを特徴とする請求項 1 2 ～ 1 5 のいずれかに記載の表示装置。

【請求項 1 8】

縦横に列設された複数の 1 ビットメモリからなるメモリセルと、

前記複数の 1 ビットメモリの値に応じて表示を可変制御可能な表示層と、

前記メモリセルへの書き込みを制御する書き込み制御回路と、を備えた表示装置において、

絶縁基板の一辺の略中央から前記一辺の両端に向けてそれぞれ配置される複数のデータバスと、

前記書き込み制御回路により前記 1 ビットメモリが複数個ごとに同時に駆動されるように、前記データバス上を伝搬するデジタル画素データの順序を制御する順序制御回路と、を備えることを特徴とする表示装置。

【請求項 1 9】

前記 1 ビットメモリの隣接する複数個で 1 画素が構成され、

1 画素内には、赤色用の複数の前記 1 ビットメモリと、緑色用の複数の前記 1 ビットメモリと、青色用の複数の前記 1 ビットメモリとが設けられることを特徴とする請求項 1 8 に記載の表示装置。

【請求項 2 0】



複数個ごとに配置される前記 1 ビットメモリのそれぞれに供給されるデジタル画素データを順次ラッチする第 1 ラッチ回路と、

前記第 1 ラッチ回路でのラッチ動作が一通り終了した時点で、すべてのラッチデータを同時に再ラッチする第 2 ラッチ回路と、

前記第 2 ラッチ回路でラッチされた各デジタル画素データを電圧増幅するビット線駆動回路と、

前記ビット線駆動回路の出力を供給するビット線を選択する選択回路と、を備えることを特徴とする請求項 1 8 または 1 9 に記載の表示装置。

【請求項 2 1】

前記メモリセル内のデータ書き換えを行う範囲を指定するアドレスを発生するアドレス発生回路と、

前記メモリセル、前記書き込み制御回路および前記データバスが形成される第 1 の基板と、

前記並び替え回路と前記アドレス発生回路とが形成される第 2 の基板と、を備え、

前記並び替え回路からデジタル画素データを前記データバスに供給する際、デジタル画素データの先頭データに先立って前記アドレス発生回路からのアドレスを前記データバスに供給することを特徴とする請求項 1 8 ～ 2 0 のいずれかに記載の表示装置。

【請求項 2 2】

前記メモリセル内のデータ書き換えを行う範囲を指定するアドレスを発生するアドレス発生回路と、

前記メモリセル、前記書き込み制御回路および前記データバスが形成される第 1 の基板と、

前記並び替え回路と前記アドレス発生回路とが形成される第 2 の基板と、を備え、

前記第 2 の基板から前記第 1 の基板に伝送されるイネーブル信号線を用いて、前記アドレス発生回路で発生されたアドレスを前記第 1 の基板に供給することを特徴とする請求項 1 8 ～ 2 0 のいずれかに記載の表示装置。

【請求項 2 3】

外部から供給されたデジタル画素データを第 1 電圧振幅のデータにレベル変換する第 1 レベル変換回路と、

前記第 1 レベル変換回路でレベル変換されたデータを分周する分周回路と、

前記分周回路で分周されたデータを前記第 1 電圧振幅よりも電圧振幅の小さい第 2 電圧振幅のデータにレベル変換して前記データバスに供給する第 2 レベル変換回路と、

前記データバス上のデータを前記第 2 電圧振幅よりも電圧振幅の大きい第 3 電圧振幅のデータにレベル変換して前記第 1 ラッチ回路に供給する第 3 レベル変換回路と、を備えることを特徴とする請求項 1 3 ～ 1 5, 2 0 のいずれかに記載の表示装置。

【請求項 2 4】

絶縁基板の一辺の略中央から前記一辺の一端側に配置されるデータバス上を伝搬するデジタル画素データのサンプリングクロックの位相およびデューティを独立に調整する位相デューティ調整回路を備えることを特徴とする請求項 1 2 ～ 2 3 のいずれかに記載の表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、表示素子と駆動回路を同一の絶縁基板上に形成する表示装置に関する。

【0 0 0 2】

【従来の技術】

多数の表示素子を絶縁基板等に縦横に列設した表示装置が知られており、その代表的なものに液晶表示装置がある。

【0 0 0 3】

この種の従来の表示装置では、表示素子が列設された画素アレイ基板とは別個に、駆動回路基板を設けるのが一般的である。例えば、アクティブマトリクス型の表示素子は、画素アレイ基板上に縦横に列設された信号線および走査線の交点

付近に形成され、これ以外に、画素アレイ基板には、各信号線を駆動するための信号線駆動回路と、各走査線を駆動するための走査線駆動回路とが形成されている。

【 0 0 0 4 】

一方、駆動回路基板には、CPUからの指示に従ってビットマップへの展開等の画像処理を行うグラフィックコントローラICと、画素アレイ基板との信号の送受を行うLCDコントローラICとが形成されている。このLCDコントローラICは、ゲートアレイ等で構成される。

【 0 0 0 5 】

図 2 7 は従来の液晶表示装置のブロック図であり、ガラス基板上にポリシリコンTFTを用いて画素アレイ部 1 と駆動回路の一部（信号線駆動回路や走査線駆動回路など）を形成し、別基板にCPU 1 0 0、グラフィックコントローラIC 1 0 1、およびゲートアレイ（G/A） 1 0 2 を形成した例を示している。

【 0 0 0 6 】

図 2 7 において、ゲートアレイ 1 0 2 は、グラフィックコントローラIC 1 0 1 から出力されたデジタル画素データの並び替えを行う。ゲートアレイ 1 0 2 の出力は、制御回路 1 0 3、サンプリング回路 1 0 4、およびラッチ回路 1 0 5 を介してD/Aコンバータ（DAC） 1 0 6 に入力される。D/Aコンバータ 1 0 6 は、デジタル画素データをアナログ電圧に変換する。このアナログ電圧はアンプ（AMP） 1 0 7 で増幅された後、選択回路 1 0 8 で選択されて各信号線 1 0 9 に供給される。

【 0 0 0 7 】

【発明が解決しようとする課題】

部品コストの削減および小型化を図るには、部品点数、基板面積および基板の数を減らす必要があるが、従来の表示装置では、グラフィックコントローラIC 5、ゲートアレイ 1 0 2、信号線駆動回路、および走査線駆動回路等の複数の回路を用いて駆動回路を構成していたため、駆動回路の回路規模を小さくできないという問題がある。

【 0 0 0 8 】

また、最近、液晶表示装置では、高速動作が可能なポリシリコン T F T (Thin Film Transistor) をガラス基板上に形成して、画素アレイ部だけでなく、駆動回路の一部もガラス基板上に形成する技術が進んでいる。

【 0 0 0 9 】

しかしながら、ポリシリコン T F T は高速動作が可能といっても、移動度がそれほど速くないため、解像度が高くなって一画素あたりの周期が短くなると、安定に動作しなくなる。したがって、従来は、高速動作が必要なグラフィックコントローラ I C 5 等はガラス基板の外部に設けるのが一般的であり、駆動回路全体を画素アレイ部と一体に形成することはできなかった。

【 0 0 1 0 】

また、従来の液晶表示装置では、ガラス基板上にデータバスが引き回されるため、ガラス基板の面積が大きくて信号線の本数が多いほど、データバスの負荷容量が大きくなってしまう。データバスの負荷容量が大きくなると、波形がなまる等の問題が生じるため、従来は、データバス上を伝搬するデータの電圧振幅を大きくしていた。ところが、データバス上を伝搬するデータの電圧振幅を大きくすると、消費電力が増えるという問題がある。

【 0 0 1 1 】

本発明は、このような点に鑑みてなされたものであり、その目的は、小型化が可能で、高解像度でも安定動作し、かつ消費電力を低減できる表示装置を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、絶縁基板上に縦横に列設される信号線および走査線と、信号線および走査線の各交点付近に形成される表示素子と、前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、を備えた表示装置において、前記信号線駆動回路による信号線の駆動順序に合わせた順序でデジタル画素データを出力するグラフィックコントローラ I C を備え、このグラフィックコントローラ I C は、前記デジタル画素データの周期の 2 倍以上の周期でクロック信

号を出力し、前記信号線駆動回路および前記走査線駆動回路は、前記クロック信号に同期させて、それぞれ信号線および走査線の駆動を行う。

【 0 0 1 3 】

本発明では、グラフィックコントローラ I C から、デジタル画素データの周期の 2 倍以上の周期でクロック信号を出力するため、表示解像度が高くてもクロック信号の周波数を高くする必要がなくなる。また、グラフィックコントローラ I C は、信号線の駆動順序に合わせて並べ替えを行った状態でのデジタル画素データを出力するため、並び替えを行うためのゲートアレイ等が不要になり、回路規模を削減できる。

【 0 0 1 4 】

また、本発明では、表示素子、信号線駆動回路および走査線駆動回路が形成される絶縁基板上にグラフィックコントローラ I C を実装した場合に、表示素子と駆動回路全体を同一の絶縁基板にまとめることができ、小型化およびコストダウンが図れる。

【 0 0 1 5 】

また、本発明では、グラフィックコントローラ I C 内に位相調整回路を設けるため、信号線駆動回路内でデジタル画素データをクロック信号で確実に取り込めるようになる。

【 0 0 1 6 】

また、本発明では、信号線駆動回路および走査線駆動回路の駆動開始を指示する制御信号もグラフィックコントローラ I C から出力するため、駆動回路を構成する部品点数を削減できる。

【 0 0 1 7 】

また、本発明では、有効なデジタル画素データを出力しない期間（例えば、ブランキング期間）に、グラフィックコントローラ I C からデジタル画素電圧の代わりに中間レベル電圧を出力するようにしたため、ブランキング期間終了後にデジタル画素電圧を迅速に所望の電圧に設定することができる。

【 0 0 1 8 】

また、本発明では、ポリシリコン T F T が安定動作する範囲内の周波数のクロ

ック信号をグラフィックコントローラ I C から出力するため、グラフィックコントローラ I C から出力されたクロック信号を直接、信号線駆動回路や走査線駆動回路に取り込むことができ、グラフィックコントローラ I C を信号線駆動回路等が形成される絶縁基板上に容易に実装できる。

【 0 0 1 9 】

また、本発明では、信号線駆動回路内にレベル変換回路を設けるため、グラフィックコントローラ I C の出力電圧レベルが信号線駆動回路の動作電圧レベルと異なっている、特に支障は起きない。また、レベル変換回路を単相入力にするため、レベル変換回路の構成を簡略化できる。

【 0 0 2 0 】

また、本発明では、レベル変換回路内にキャパシタ素子と、インバータの入出力端子間に接続されたアナログスイッチとを設けるため、キャパシタ素子の両端にインバータのしきい値電圧に応じた電圧を印加することができ、簡易な回路構成でレベル変換を行える。

【 0 0 2 1 】

また、本発明では、レベル変換後のデジタル画素データを並列に振り分ける分周回路を設けるため、デジタル画素データの周期を長くすることができ、ポリシリコン T F T をより安定動作させることができる。

【 0 0 2 2 】

また、本発明では、信号線を N 本おきに駆動するため、信号線駆動回路内のラッチ回路や D / A コンバータの数を削減でき、信号線駆動回路の回路規模を小型化できる。

【 0 0 2 3 】

また、本発明では、グラフィックコントローラ I C から、互いに位相が半周期ずれた 2 種類のクロック信号を出力するため、信号線駆動回路の内部では、クロック信号の周期よりも短い周期でデジタル画素データを取り込むことができ、表示解像度が高くても、クロック信号の周波数を上げる必要がなくなる。

【 0 0 2 4 】

また、本発明は、絶縁基板上に縦横に列設される信号線および走査線と、信号

線および走査線の各交点付近に形成される表示素子と、前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、を備えた表示装置において、絶縁基板の一辺の略中央から前記一辺の両端に向けてそれぞれ配置される複数のデータバスと、前記信号線駆動回路により各信号線が複数本おきに同時に駆動されるように、前記データバス上を伝搬するデジタル画素データの並び替えを行う並び替え回路と、を備える。

## 【 0 0 2 5 】

本発明では、絶縁基板の一辺の略中央から両端に向けて複数のデータバスを配置するため、データバスの負荷容量を低減でき、データバス上を伝搬するデータの電圧振幅を小さくできることから、消費電力の低減を図れる。また、信号線を複数本おきに駆動するため、D/A変換回路の数を削減できる。

## 【 0 0 2 6 】

また、本発明は、縦横に列設された複数の1ビットメモリからなるメモリセルと、前記複数の1ビットメモリの値に応じて表示を可変制御可能な表示層と、前記メモリセルへの書き込みを制御する書き込み制御回路と、を備えた表示装置において、絶縁基板の一辺の略中央から前記一辺の両端に向けてそれぞれ配置される複数のデータバスと、前記書き込み制御回路により前記1ビットメモリが複数個ごとに同時に駆動されるように、前記データバス上を伝搬するデジタル画素データの並び替えを行う並び替え回路と、を備える。

## 【 0 0 2 7 】

## 【発明の実施の形態】

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。以下では、表示装置の一例として、画素ごとにTFT(Thin Film Transistor)を有するアクティブマトリクス型の液晶表示装置について主に説明する。

## 【 0 0 2 8 】

図1は本発明に係る表示装置の一実施形態のブロック図である。図1の表示装置は、従来の表示装置に比べて、画素アレイ部との信号の送受を行うLCDコントローラIC(ゲートアレイ)を省略した点と、画素アレイ部が形成されるガラ

ス基板上にグラフィックコントローラ I C 5 を実装する点とに特徴がある。

【 0 0 2 9 】

図 1 では、信号線の駆動に関連する部分のみ図示している。ガラス基板 1 0 上にポリシリコン T F T を用いて形成された信号線駆動回路 2 は、グラフィックコントローラ I C 5 からの信号を受けて、画素アレイ部 1 に列設された各信号線を駆動する。

【 0 0 3 0 】

図 2 は図 1 の表示装置の斜視図である。図示のように、ガラス基板 1 0 上には、画素アレイ部 1、信号線駆動回路 2、走査線駆動回路 3、および制御回路 4 がそれぞれポリシリコン T F T を用いて形成され、ガラス基板 1 0 の端部にはグラフィックコントローラ I C 5 が実装されている。なお、グラフィックコントローラ I C 5 以外の I C チップ（例えば、C P U や表示メモリ等）をガラス基板 1 0 上に実装してもよい。

【 0 0 3 1 】

制御回路 4 は、図 1 に示すように、グラフィックコントローラ I C 5 から出力された各種制御信号（同期信号、ロード信号 L、クロック信号 C L K 等）の電圧レベルを変換するレベルシフタ（L / S）1 1 と、信号線駆動回路 2 内の各部を制御する制御信号出力部 1 2 とを有する。

【 0 0 3 2 】

図 1 において、太線で示したグラフィックコントローラ I C 5 と制御信号出力部 1 2 の内部に、図 2 7 に示したゲートアレイ 1 0 2 の機能が含まれている。

【 0 0 3 3 】

以下では、640×3 本の信号線と 480 本の走査線が画素アレイ部 1 に列設されているものとする。また、グラフィックコントローラ I C 5 は、R G B 各 6 ビットのデジタルデータを信号線駆動回路 2 に供給するものとする。

【 0 0 3 4 】

図 1 の構成を説明する前に、グラフィックコントローラ I C 5 の構成を説明する。図 3 はグラフィックコントローラ I C 5 の内部構成を示すブロック図である。図示のように、グラフィックコントローラ I C 5 は、C P U からの映像データ



を受け取るホストインタフェース部 3 1 と、レジスタ 3 2 と、受け取った映像データを格納する DRAM からなるフレームメモリ (VRAM) 3 3 と、フレームメモリ 3 3 に対する書き込み・読み出しを制御するメモリ制御回路 3 4 と、映像データを一時的に格納する表示 FIFO 3 5 と、画面上に表示されるカーソルデータを一時的に格納するカーソル FIFO 3 6 と、映像データおよびカーソルデータを RGB 各 6 ビット階調のデジタル画素データに変換するルックアップテーブル 3 7 と、デジタル画素データの出力制御を行う画素データ出力回路 3 8 と、クロック信号 CLK の位相調整を行う位相調整回路 3 9 と、クロック信号 CLK および同期信号の出力制御を行う制御信号出力回路 4 0 とを備えている。

#### 【 0 0 3 5 】

画素データ出力回路 3 8 は、RGB 各 6 ビットの計 18 ビットのデジタル画素データを、40ns (25MHz) の周期で順次出力する。制御信号出力回路 4 0 は、12.5MHz のクロック信号 CLK と同期信号とを出力する。クロック信号 CLK の位相は、映像信号に対してほぼ半クロック信号 CLK (20ns) ずれている。

#### 【 0 0 3 6 】

図 4 はグラフィックコントローラ IC 5 の出力タイミング図であり、制御信号であるイネーブル信号 ENAB およびロード信号 L と、クロック信号 CLK と、デジタル画素データ DATA とのタイミング図を示している。

#### 【 0 0 3 7 】

図 4 に示すように、クロック信号 CLK の周期はデジタル画素データ DATA の周期の 2 倍であり、クロック信号 CLK の位相とデジタル画素データ DATA の位相とを互いにずらしている。

#### 【 0 0 3 8 】

このように、クロック信号 CLK の周期をデジタル画素データの周期の 2 倍以上にすることにより、信号線駆動回路 2 に供給されるクロック信号 CLK の周波数を低くすることができ、信号線駆動回路 2 の回路動作を安定化させることができる。また、デジタル画素データ DATA の位相とクロック信号 CLK の位相とを互いにずらすことにより、信号線駆動回路 2 の内部でデジタル画素データを DATA クロック信号 CLK にて確実にラッチできるようになる。

【 0 0 3 9 】

なお、デジタル画素データDATAとクロック信号CLKとの位相調整は、グラフィックコントローラIC5内の位相調整回路39で行われる。

【 0 0 4 0 】

図5は位相調整回路39の回路図である。図示のように、位相調整回路39は、複数のインバータIV1～IV6を縦続接続して構成される。偶数段目のインバータIV2，IV4，IV6の出力端子にはそれぞれスイッチSW1～SW4が接続されており、これらスイッチSW1～SW4のいずれか一つのみがオンする。CMOS-ICの場合、インバータ一段あたりの遅延時間は5ns程度であるため、図5の回路の場合、10ns間隔で遅延時間を調整することができる。

【 0 0 4 1 】

なお、スイッチSW1～SW4の切り換えは、製造時等に手動で行ってもよいが、グラフィックコントローラIC5から信号線駆動回路2に信号を送って、その信号が戻ってくるまでの時間に応じて、自動的にスイッチSW1～SW4の切り換えを行ってもよい。

【 0 0 4 2 】

制御信号出力回路40は、図4に示すように、1水平ライン期間の合間、あるいは1フレーム期間の合間のブランキング期間に、同期信号とクロック信号CLKを中間電位に設定する。中間電位に設定することにより、次のサイクルが開始した時点で、同期信号とクロック信号CLKとを迅速に所定の電位に設定することができる。

【 0 0 4 3 】

図6は同期信号とクロック信号CLKを中間電位に設定するための中間電位設定回路の回路図である。この中間電位設定回路は、グラフィックコントローラIC5内の画素データ出力回路39と制御信号出力回路40の内部に設けられる。

【 0 0 4 4 】

中間電位設定回路は、図6に示すように、NMOSトランジスタQ1，Q2とPMOSトランジスタQ3，Q4とを有し、NMOSトランジスタQ2とPMOSトランジスタQ4は電源端子と接地端子との間に直列接続されており、抵抗素子R1、NMOSトラ

ンジスタ Q 1、PMOSトランジスタ Q 3 および抵抗素子 R 2 は電源端子と接地端子との間に直列接続されている。

【 0 0 4 5 】

抵抗素子 R 1、R 2 の抵抗値を互いに等しくして十分に高くすることにより、NMOSトランジスタ Q 1 のドレイン端子とNMOSトランジスタ Q 2 のゲート端子はともに  $(V_{cc}/2 + V_{tn})$  になり、PMOSトランジスタ Q 3 のドレイン端子とPMOSトランジスタ Q 4 のゲート端子はともに  $(V_{cc}/2 + |V_{tp}|)$  になる。これにより、数  $\mu A$  程度のわずかな貫通電流で数 mA の電流駆動力を得ることができる。

【 0 0 4 6 】

中間電位設定回路の出力端子には、図 6 に示すように、アナログスイッチ SW が接続されている。このアナログスイッチ SW は、ブランキング期間中は中間電位設定回路の出力を選択し、ブランキング期間以外はクロック信号 CLK0 を選択する。

【 0 0 4 7 】

図 6 では、クロック信号 CLK を中間電位に設定する例を示しているが、デジタル画素データ DATA も図 6 と同様の回路により、ブランキング期間中に中間電位に設定される。

【 0 0 4 8 】

本実施形態のグラフィックコントローラ IC 5 は、CPU から供給されたデジタル画素データ DATA を並び替えて出力する。従来は、図 2 7 に示すように、グラフィックコントローラ IC 5 とは別個のゲートアレイ 1 0 2 の内部にラインメモリを設けてデータの並べ替えを行っていた。これは、グラフィックコントローラ IC 5 の汎用性を高め、ポリシリコン TFT だけでなく、アモルファスシリコン TFT や MIM などを用いる他のアクティブマトリクス表示装置でも共通して利用できるようにするためである。

【 0 0 4 9 】

これに対して、本実施形態は、グラフィックコントローラ IC 5 内にはそもそもフレームメモリ 3 3 (VRAM) という数百キロバイト～数メガバイトの巨大なメモリが存在しており、このメモリの一部を利用してデータの並べ替えを行うことはゲート規模の観点から容易であると判断し、グラフィックコントローラ IC 5

内で並べ替えを行うことにした。

【 0 0 5 0 】

図 7 はフレームメモリ 3 3 の制御を行うメモリ制御回路 3 4 の内部構成を示す図である。図示のように、メモリ制御回路 3 4 は、最下位層にハードウェア層 4 1 が、その上位に I/O 関数層 4 2 が、その上位にドライバ関数層 4 3 が、最上位層にアプリケーション層 4 4 がある。

【 0 0 5 1 】

ハードウェア層 4 1 は、フレームメモリ 3 3 に対するアクセスを実際に行う部分である。I/O 関数層 4 2 は、ハードウェア層 4 1 のポートや内部レジスタを書き換えてフレームメモリ 3 3 に対するアクセス方法を切り替える部分である。ドライバ関数層 4 3 は、上層のアプリケーション層 4 4 から直接呼び出され、画面の初期化、画面の表示制御、矩形描画、およびビットマップ描画等の種々の機能を実現する部分である。アプリケーション層 4 4 は、画像表示のための種々のコマンドを発行する部分である。

【 0 0 5 2 】

I/O 関数層 4 2 とドライバ関数層 4 3 は、C 言語などのプログラム言語で生成される。画面の特定領域への描画は、フレームメモリ 3 3 の座標  $(x, y)$  = 色情報が格納されたルックアップテーブル 3 7 上のアドレスの形式で記述される。また、フレームメモリ 3 3 からのデータの読み出しも、配列を用いて行う。

【 0 0 5 3 】

フレームメモリ (VRAM) 3 3 のメモリ空間 (VRAM 空間) は、図 8 に示すように、一画面分以上の領域があり、ドライバ関数層により VRAM のポインタを制御することにより、VRAM 内の任意の領域を画面に表示することができる。このように、VRAM のメモリ空間を一画面分以上設けることにより、スクロールや画面の切り替えを迅速に行うことができる。

【 0 0 5 4 】

このように、本実施形態のグラフィックコントローラ IC 5 は、デジタル画素データ DATA の並び替えを内部で行うため、ゲートアレイを設ける必要がなくなる。また、クロック信号 CLK の周期をデジタル画素データ DATA の周期の 2 倍以上

にするため、ポリシリコン T F T が正常に動作する周波数のクロック信号 C L K を信号線駆動回路 2 に供給できる。

【 0 0 5 5 】

さらに、クロック信号 C L K のエッジとデジタル画素データ DATA の変化位置とをずらして出力するため、信号線駆動回路 2 でデジタル画素データ DATA を確実に取り込むことができる。

【 0 0 5 6 】

一方、本実施形態の信号線駆動回路 2 は、図 9 に詳細なブロック図を示すように、デジタル画素データ DATA の振幅レベルを変換するレベルシフタ ( L / S ) 5 1 と、デジタル画素データ DATA の周期を 2 倍に引き延ばす分周回路 5 2 と、直列に並んだデジタル画素データ DATA を並列出力するデータ分配回路 5 3 と、分配したデジタル画素データ DATA をまとめてラッチするラッチ回路 ( Latch ) 5 4 と、ラッチしたデジタル画素データ DATA をアナログ電圧に変換する D / A コンバータ ( D A C ) 5 5 と、アナログ電圧のゲイン調整を行うアンプ ( A M P ) 5 6 と、アンプ 5 6 から出力されたアナログ画素電圧を選択して個々の信号線に供給する選択回路 5 7 とを有する。

【 0 0 5 7 】

図 1 0 はレベルシフタ 5 1 の回路図、図 1 1 はレベルシフタ 5 1 の入出力信号の波形図である。図 1 1 の太線曲線 a は入力信号、細線曲線 b は出力信号を示している。図 1 0 に示すように、レベルシフタ 5 1 は、キャパシタ素子 C 1 と、インバータを構成する P M O S トランジスタ Q 5 および N M O S トランジスタ Q 6 と、アナログスイッチ S W 5 とを有する。

【 0 0 5 8 】

レベルシフタ 5 1 内のアナログスイッチ S W 5 は、ブランキング期間中に、グラフィックコントローラ I C 5 からのデジタル画素データ DATA が中間電位 ( 1.65 V ) になっているときにオンする。これにより、キャパシタ素子 C 1 の他端 b はインバータのしきい値電圧 ( 略 2.5 V ) に等しくなり、キャパシタ素子 C 1 の両端には、 $2.5V - 1.65V = 0.85V$  の電圧が印加される。

【 0 0 5 9 】

アナログスイッチSW5がオフすると、グラフィックコントローラIC5から供給されたデジタル画素データDATAは、キャパシタ素子C1の両端電圧0.85Vだけオフセット調整されて伝達される。すなわち、インバータを構成するPMOSトランジスタQ5およびNMOSトランジスタQ6のゲート端子には、インバータのしきい値電圧を中心として上下に同レベルだけ振れる電圧が印加される。

## 【0060】

このように、インバータのしきい値電圧に対して入力を対称化したことにより、ポリシリコンTFTのしきい値がばらついたり、PMOSトランジスタQ5およびNMOSトランジスタQ6の特性がアンバランスになったり、入力振幅がなまっても、インバータは高速動作し、しかもパルス幅は変化しにくくなる。

## 【0061】

図12は分周回路52の回路図である。図示のように、分周回路52は、クロック信号CLKの2周期分のデータ幅にて同位相でデジタル画素データDATAを出力する2つのラッチ回路61、62を有する。各ラッチ回路54は、クロックドインバータと、インバータとを有する。

## 【0062】

分周回路52内の各ラッチ回路54の出力DATA-E、DATA-Oのタイミングは図13のようになる。図13では、グラフィックコントローラIC5から出力されたデジタル画素データDATAを、①②③…で表している。

## 【0063】

図13に示すように、ラッチ回路61、62はそれぞれデジタル画素データDATAを一つおきにラッチし、同タイミングで出力する。分周回路52の出力は、データ分配回路53に入力される。ラッチ回路61は、正相クロックのダウンエッジで、ラッチ回路62は逆相クロックのダウンエッジによりデータラッチを行う。正相クロックだけでなく、逆相クロックもグラフィックコントローラIC5でタイミング調整することが、ラッチマージンを確保する上で望ましい。

## 【0064】

本実施形態は、信号線のN本単位で各信号線を駆動する点に特徴がある。このようにすることで、信号線駆動回路2内のラッチ回路54やD/Aコンバータ5

5等の個数を削減できる。

【 0 0 6 5 】

データ分配回路 5 3 は、分周回路 5 2 から出力されたデジタル画素データ DATA を順にラッチして並列に振り分ける。ラッチ回路 5 4 は、データ分配回路 5 3 がタイミングをずらしてラッチした複数のデータを同タイミングで再ラッチする。再ラッチされたデータは D/A コンバータ 5 5 に入力されてアナログ電圧に変換された後、アンプ 5 6 で増幅されてアナログ画素電圧が生成される。

【 0 0 6 6 】

図 1 4 は本実施形態の表示装置のガラス基板 1 0 上のレイアウト図である。また、図 1 5 は汎用のグラフィックコントローラ IC を用いて構成した従来の表示装置のチップレイアウト図である。

【 0 0 6 7 】

汎用のグラフィックコントローラ IC は、正順出力されるデジタル画素データと、画素データ幅を周期とするクロックとを出力する。ライン/スペース =  $4\mu\text{m}/4\mu\text{m}$  程度のデザインルールでは、全信号線に対して D/A コンバータを形成することは難しく、複数信号線ごとに D/A コンバータを設けざるを得ない。この場合、正順入力される画素データをいったん一水平期間分ラッチし、所望の順序に並び替える必要がある。

【 0 0 6 8 】

また、図 1 5 の場合、ガラス基板 1 0 上でデジタル画素データの並び替えを行う必要があるため、1ライン分のラッチ（メモリ）回路を設ける必要があり、ラッチ回路は 6 倍に増大する。このため、データ分配回路 1 0 2、D/A コンバータ 1 0 6、アンプ 1 0 7 および選択回路 1 0 8 を 2 組、上下額縁にそれぞれ分けて設けなければならなくなる。

【 0 0 6 9 】

このように、本実施形態のようにグラフィックコントローラ IC 5 の内部でデジタル画素データ DATA の並び替えを行うようにすると、ガラス基板 1 0 上の構成を簡略化でき、グラフィックコントローラ IC 5 をガラス基板 1 0 上に実装するためのスペースを容易に得ることができる。

## 【 0 0 7 0 】

図 1 には、本実施形態を利用して V G A 規格 (640×480 ドット) で R G B 各 6 ビットの液晶表示装置を構成した場合の各部のゲート数が図示されている。図 1 は、信号線を 6 本おきに駆動する例を示している。

## 【 0 0 7 1 】

図 1 の場合、レベルシフタ 5 1 が各色ごとに 6 個で計 18 個、分周回路 5 2 が各色ごとに 6 個で計 18 個、サンプリング回路 5 3 とラッチ回路 5 4 がそれぞれ各色ごとに 640 個で計 1920 個、D/A コンバータ 5 5 とアンプ 5 6 がそれぞれ 320 個必要になる。この結果、制御回路に 1 K ゲート、分周回路 5 2 に 1 K ゲート、サンプリング回路およびラッチ回路 5 4 に 13 K バイト、D/A コンバータ 5 5、アンプ 5 6 および選択回路に 5 K ゲート必要になる。

## 【 0 0 7 2 】

このように、本実施形態では、ゲートアレイが不要になる分と、信号線を N 本 (N は 2 以上の任意の整数) おきに駆動することによるサンプリング回路とラッチ回路 5 4 の削減分により、従来に比べて大幅に回路規模を削減できる。

## 【 0 0 7 3 】

また、図 1 4 と図 1 5 では、チップの概略サイズを図示している。本実施形態の場合、駆動回路の形成領域の縦方向の長さが 8.3mm 程度であるのに対し、図 1 5 に示す従来の構成では、駆動回路の形成領域の縦方向の長さは  $5.0\text{mm} \times 2 = 10\text{mm}$  程度になり、本実施形態の方が駆動回路の形成領域が小さくなる。

## 【 0 0 7 4 】

上述した実施形態では、グラフィックコントローラ I C 5 から出力されるデジタル画素データ DATA の周期をクロック信号 C L K の 2 倍の周期に設定しているが、2 倍より長い周期に設定してもよい。また、グラフィックコントローラ I C 5 から信号線駆動回路 2 に伝送するクロック信号 C L K の周波数は 12.5MHz 以外でもよい。さらに、上述したグラフィックコントローラ I C 5 から出力される信号の種類にも特に制限はない。

## 【 0 0 7 5 】

上述した実施形態では、表示装置の一例として液晶表示装置について説明した



が、信号線および走査線が縦横に列設された他の表示装置（例えば、プラズマディスプレイ装置）などにも本発明は適用可能である。

【 0 0 7 6 】

さらに、上述した実施形態では、VGA規格（640×480ドット）の表示解像度を一例として説明したが、表示解像度には特に制限はない。

【 0 0 7 7 】

（第2の実施形態）

第2の実施形態は、ELパネル部の左右方向略中央から左右両端側にデータバスを配置して、消費電力の低減を図るものである。

【 0 0 7 8 】

図16は本発明に係る表示装置の第2の実施形態のブロック図である。図16の表示装置は、ガラス基板上に形成されるELパネル部201と、ガラス基板上または別基板上に実装されるコントローラIC202とを備えている。

【 0 0 7 9 】

ELパネル部201は、画素ごとに設けられた複数ビットのメモリに基づいて画素の表示階調輝度を制御できる画素アレイ部203と、コントローラIC202との信号の送受を行うI/F回路204と、画素アレイ部203の左右方向略中央から左右両端側にそれぞれ配置されるデータバス205a、205bと、データバス205a、205b上のデジタル画素データをバッファリングするバッファ回路206と、画素アレイ部203内の各ビット線を駆動するビット線駆動回路207と、I/F回路204からのアドレス信号をラッチするアドレスラッチ回路208と、ラッチしたアドレス信号をバッファリングするアドレスバッファ209と、画素アレイ部203内の各ワード線を駆動するワード線駆動回路210と、各部の制御を行うコントロール回路211とを有する。

【 0 0 8 0 】

コントローラIC202は、CPUとの通信を行うCPU-I/F部212と、表示メモリ（VRAM）213と、グラフィックコントローラ214と、画素アレイ部203内のアドレスを指定するアドレス発生回路215と、デジタル画素データのバッファリングと一時的な格納を行うバッファ/FIFO216と、データ変

換を行うルックアップテーブル（LUT）217と、デジタル画素データの並び替えを行う並べ替え回路218と、ポリシリコン型TFT用のI/F部（p-Si-I/F部）219と、アモルファスシリコン型TFT用のI/F部220と、MIM用のI/F部（MIM-I/F部）221と、出力部222とを有する。こうすることにより、a-SiTFTアクティブマトリクスLCD、MIMアクティブマトリクスLCDおよびpoly-Si表示装置に接続が可能となり、グラフィックスコントローラの汎用性が広がる。

#### 【0081】

図16のコントローラIC202は、画素アレイ部203を全体的に表示更新できる他、間欠的な表示更新や、部分的な表示更新や、不規則な表示更新を行うこともできる。

#### 【0082】

図17はデータバス205a、205bの配置を示す図である。図示のように、データバス205a、205bは、ガラス基板の下辺に沿って配置され、図示の太線矢印の方向からデジタル画素データが入力され、点線矢印に沿ってデジタル画素データが伝搬される。なお、以下の説明では、デジタル画素データはRGBの各色ともに6ビットとする。

#### 【0083】

図17は画素アレイ部203の中央から左側領域と右側領域にそれぞれ960本のビット線が配置され、ビット線を3本おきに駆動する例を示している。すなわち、同時に駆動されるビット線は、 $960/3=320$ である。この場合、ロードラッチは画面の半分毎に、 $320 \times 6$ ビット分必要となる。サンプリングラッチはロードラッチの半分の $160 \times 6$ ビット分設けた。

#### 【0084】

図18はデータバス205a、205b上のデータの並び順を示す図、図19は図16の表示装置のタイミング図である。図示のように、データバス205a、205bには、赤色の奇数（odd）画素データが2画素分ずつ左右に分けて伝送される（図19の時刻 $t_1 \sim t_2$ ）。具体的には、まず、左側のデータバス205a、205bにデータR1、R3が、右側のデータバス205a、205

bにデータR 6 3 7, R 6 3 9が同時に送られる。次に、左側のデータバス2 0 5 a, 2 0 5 bにデータR 5, R 7が、右側のデータバス2 0 5 a, 2 0 5 bにデータR 6 3 3, R 6 3 5が同時に送られる。このように、サンプリングラッチ2 3 1は、4画素分のデータ（計 $4 \times 6$ ビット=24ビット）ごとに順にラッチを行う。

#### 【0 0 8 5】

サンプリングラッチ2 3 1が赤色の奇数画素データすべてをラッチし終わった時点（図19の時刻t 2）で、t2とt3の間の小さなデータブランキング期間に、ロードラッチ232aはこれら全データを同時にラッチする。

#### 【0 0 8 6】

その後、データバス2 0 5 a, 2 0 5 bには、赤色の偶数（even）画素データが2画素分ずつ左右に分けて伝送される（図19の時刻t 3～t 4）。具体的には、まず、左側のデータバス2 0 5 a, 2 0 5 bにデータR 2, R 4が、右側のデータバス2 0 5 a, 2 0 5 bにデータR 6 3 8, R 6 4 0が同時に送られる。次に、左側のデータバス2 0 5 a, 2 0 5 bにデータR 6, R 8が、右側のデータバス2 0 5 a, 2 0 5 bにR 6 3 4, R 6 3 6が同時に送られる。このように、サンプリングラッチ2 3 1は、4画素分のデータ（計 $4 \times 6$ ビット=24ビット）ごとに順にラッチを行う。

#### 【0 0 8 7】

Rの奇数データとRの偶数データの間にblank期間を設けた効果で、サンプリングラッチを2回繰返して使うことができ、サンプリングラッチの数をロードラッチの半分に減らすことが可能となる。本例では、Rデータを奇数、偶数の2グループに分け、サンプリングラッチ数を半減した。拡張すれば、Rデータを「3で割って余りが1のグループ、余りが2のグループ、余りが3のグループ」と分け、それぞれのデータ期間の間に小さいblank期間を設け、サンプリングラッチを3回繰返し使うことにすれば、サンプリングラッチの数をロードラッチの数の3分の1に減らすことが可能である。

#### 【0 0 8 8】

サンプリングラッチ2 3 1が赤色の奇数および偶数画素データすべてをラッチ

し終わった時点（図 1 9 の時刻 t 4）で、ロードラッチ 2 3 2 b はこれら全データを同時にラッチする。

## 【 0 0 8 9 】

ビット線駆動回路 2 0 7 は、ロードラッチ 2 3 2 a, 2 3 2 b がラッチしたデータを同時に取り込んで電圧増幅を行った後、選択回路 2 3 3 に供給する。選択回路 2 3 3 は、左右領域のそれぞれについて、ビット線駆動回路 2 0 7 からのデータを、赤色に対応するビット線に供給する。

## 【 0 0 9 0 】

その後、緑色の奇数データ、偶数データが順にロードラッチ 2 3 2 でラッチされた後に、緑色の全データが同時にビット線駆動回路 2 0 7 に送られてアナログ画素電圧に変換される（図 1 9 の時刻 t 5 ～ t 8）。

## 【 0 0 9 1 】

その後、青色の奇数データ、偶数データが順にロードラッチ 2 3 2 でラッチされた後に、青色の全データが同時にビット線駆動回路 2 0 7 に送られてアナログ画素電圧に変換される（図 1 9 の時刻 t 9 ～ t 1 2）。

## 【 0 0 9 2 】

このように、本実施形態では、データバス 2 0 5 a, 2 0 5 b を画素アレイ部 2 0 3 の左右中央から左右端側にそれぞれ配置するため、データバス 2 0 5 a, 2 0 5 b の配線長を短縮でき、その分、データバスの駆動負荷を小さくできる。データバスが画面の左端から右端に至る場合の約半分である。バス駆動消費電力は、バスの駆動負荷 × 周波数 × 電圧振幅の 2 乗で表せるので、消費電力的に有利である。

## 【 0 0 9 3 】

また、各色のデータを奇数番目と偶数番目に分けてロードラッチ 2 3 2 でラッチし、各色ごとにビット線の駆動を行うため、ビット線駆動回路 2 0 7 の数を大幅に削減でき、回路占有面積の削減と消費電力の低減が図れる。

## 【 0 0 9 4 】

図 1 7 ～ 図 1 9 では、ビット線を 3 本おきに駆動する例を説明したが、何本おきに駆動するかについては特に限定されない。

## 【 0 0 9 5 】

上述した実施形態では、画素アレイ部 2 0 3 内の全領域のデータの表示更新を行う例を説明したが、図 2 0 ( a ) に示すように一部の行または列だけの表示更新を行ってもよいし、図 2 0 ( b ) に示すように任意のブロックのみの表示更新を行ってもよい。

## 【 0 0 9 6 】

図 2 0 ( a ) の場合も図 2 0 ( b ) の場合も、表示更新を行う領域のみを図 1 6 の並べ替え回路でデータの並び替えを行い、表示更新を行う領域のアドレスをアドレス発生回路 2 1 5 で発生すればよい。

## 【 0 0 9 7 】

図 2 1 および図 2 2 はアドレス発生回路 2 1 5 がアドレスを発生するタイミングを示す図である。図 2 1 は、アドレス発生回路 2 1 5 が発生したアドレスを、デジタル画素データの先頭データをデータバス 2 0 5 a, 2 0 5 b に供給する際に、イネーブル端子 ENAB を使ってシリアルに伝送する例を示している。また、図 2 2 は、データバス 2 0 5 a, 2 0 5 b にデジタル画素データを伝送する前に、データバス 2 0 5 a, 2 0 5 b を利用してスタートアドレスと行数等のアドレス情報を伝送してもよい。図 2 1 と図 2 2 のどちらを利用してアドレスを伝送してもよい。

## 【 0 0 9 8 】

上述した実施形態では、DRAM 構造の画素アレイ部 2 0 3 を有する例を説明したが、列設された信号線と走査線の交点付近に T F T が形成されたアクティブマトリクス型の画素アレイ部 2 0 3 を有する E L パネル部 2 0 1 を駆動する際にも、同様に適用可能である。

## 【 0 0 9 9 】

図 2 3 は、アクティブマトリクス型の画素アレイ部 2 0 3 を有する表示装置において、信号線を 6 本おきに駆動する場合の E L パネル部 2 0 1 の概略構成を示すブロック図である。この場合、サンプリングラッチ 2 3 1 とロードラッチ 2 3 2 は、画素アレイ部 2 0 3 の中央から左側領域と右側領域のそれぞれについて、 $160 \times 6$  ビット = 960 ビット分設けられる。また、DAC 2 3 4 は、左側領

域と右側領域ともに、160個設けられる。選択回路は、左側領域と右側領域ともに、160個のDAC234の出力を赤緑青のいずれかの色の信号線に供給する。図23のタイミング図は、図19と同様になる。

#### 【0100】

一方、図24は信号線を3本おきに駆動する場合のELパネル部201の概略構成を示すブロック図である。この場合、サンプリングラッチ231とロードラッチ232は、画素アレイ部203の中央から左側領域と右側領域のそれぞれについて、 $320 \times 6$ ビット=1920ビット分設けられる。また、DAC234は、左側領域と右側領域ともに、320個設けられる。選択回路は、左側領域と右側領域ともに、320個のDAC234の出力を赤緑青のいずれかの色の信号線に供給する。

#### 【0101】

一方、図25は図24の変形例であり、信号線を3本おきに駆動する点では図24と同じであるが、サンプリングラッチ231の個数を図24よりも減らしたことを特徴とする。図25の場合、データバス205a、205bには、図24と同様に、赤色の奇数画素データが伝送された後、小さいブランク期間の後、赤色の偶数画素データが伝送され、その後同様に、緑色・青色順に奇数画素データと偶数画素データが伝送される。

#### 【0102】

サンプリングラッチ231は、 $160 \times 6$ ビット=960ビット分設けられ、いずれかの色の奇数または偶数画素データのみをラッチする。サンプリングラッチ231されたデータのうち奇数画素データはロードラッチ232aにロード格納され、偶数画素データはロードラッチ232bにロード格納される。

#### 【0103】

DAC234は、ロードラッチ232でラッチされたデータを同タイミングでD/A変換する。すなわち、DAC234は、赤緑青のいずれかの色の画素データをすべてまとめてD/A変換する。選択回路は、DAC234でD/A変換されたアナログ画素電圧を赤緑青のいずれかの色の信号線に供給する。

#### 【0104】

なお、本例では、R奇数、R偶数、G奇数、G偶数、B奇数、B偶数の順にデータを送る例を示しているが、1行分のデータをD/A変換して信号線に書込みし終わった後、次行では、B奇数、B偶数G奇数、G偶数、R奇数、R偶数など順番を変えてもよい（DACのあとの選択回路の信号線選択順を対応させて変更する）。ある信号線に注目すると、アナログ電位書込み後、フローティング状態になる。隣の信号線書込みが行われるときフローティング画素が電位変動してしまう場合がある。上述のような1行毎書込み順変更をやると、誤差拡散できる効果がある。

## 【 0 1 0 5 】

本実施形態のように、数cmオーダーの大きなディメンションの基板上に形成されるTFT素子は特性が場所により変動するのを避けにくい。左反面と右反面のサンプリング回路で単一クロックを共有するとタイミングマージンがひじょうに狭くなる。大画面表示装置ほど深刻になる。この対策として、各データバス205a、205bの伝送クロックの位相およびdutyの調整をそれぞれ別個に行ない、異なるクロックによるサンプリング制御を行なうことが有効である。クロック選択シーケンスは、1)電源投入時、2)垂直ブランキング期間に実行する。さらにメモリ画素デバイスでは、3)書換えデータが送られてこない期間を見計らって実行できる。

## 【 0 1 0 6 】

本実施形態では、図16のコントローラIC202からELパネル部201にデジタル画素データを伝送する際、LSIレベル（1から3V）をポリシリコンレベル（5V）に変換するレベル変換を行なう。図26はデジタル画素データの伝送経路を示す図である。図示のように、コントローラIC202からのデジタル画素データは、3V振幅のデータである。このデータは、ELパネル部201内のインバータ251で5V振幅のデータにレベル変換された後、分周回路252にて周波数の調整が行われる。

## 【 0 1 0 7 】

次に、レベル変換器253にて2V振幅のデータに変換された後、データバス205a、205bに供給される。データバス205a、205b上のデータは、レベル変換回路254にて3V振幅のデータに変換された後、サンプリングラ

ッチ 2 3 1 に入力される。

【 0 1 0 8 】

このように、本実施形態では、デジタル画素データを伝送する際に、配線長の長いデータバス 2 0 5 a, 2 0 5 b 上ではデジタル画素データの電圧振幅を小さくするようにしたため、消費電力の低減を図ることができる。

【 0 1 0 9 】

上述した第 2 の実施形態では、グラフィックスコントローラにデータ並べ替え回路をもうける例を説明したが、要は、出力順序を変更する手段を備えていればよい。例えば、本実施例の表示装置と、CPU とメインメモリを有したシステムによる構成が可能である。即ち、VRAM は CPU がメインメモリの一部に必要なに応じて設ける。その大きさは、2 画面分だったり、1 画面分だったり、0.5 画面分など動的に変更される。表示装置へのデータ転送はソフトウェア的に出力順序の変更した上で表示装置に送信される。第 2 の実施例の初めに述べたメモリが各画素に設けられているような表示装置ではこの構成が可能である。

【 0 1 1 0 】

上述した第 2 の実施形態では、EL パネル部の左右中央から左右両端にデータバスを配置する例を説明したが、EL パネル部の左右方向に 3 種類以上のデータバスを配置してもよい。これにより、さらにデータバスの負荷容量を削減でき、その分、データバス上のデータの電圧振幅をさらに小さくでき、消費電力の低減が図れる。

【 0 1 1 1 】

【発明の効果】

以上詳細に説明したように、本発明によれば、グラフィックコントローラ IC から、デジタル画素データの周期の 2 倍以上の周期でクロック信号を出力するため、表示解像度が高くてもクロック信号の周波数を高くする必要がなくなる。また、グラフィックコントローラ IC は、信号線の駆動順序に合わせて並べ替えを行った状態でのデジタル画素データを出力するため、並び替えを行うためのゲートアレイ等が不要になり、回路規模を削減できる。

【 0 1 1 2 】



さらに、表示素子が形成される絶縁基板上にグラフィックコントローラ I C を実装した場合に、表示素子と駆動回路全体を同一の絶縁基板上にまとめることができ、小型化およびコストダウンが図れる。

【 0 1 1 3 】

また、グラフィックコントローラ I C から出力されるクロック信号の周波数をあまり速くしないようにしたため、ポリシリコン T F T のように移動度（動作速度）があまり速くない表示素子でも安定に動作させることができる。

【 0 1 1 4 】

さらに、グラフィックコントローラ I C から出力されるクロック信号とデジタル画素データとの位相調整を、グラフィックコントローラ I C の内部で行えるようにしたため、信号線駆動回路 2 内でデジタル画素データをクロック信号で確実に取り込むことができる。

【 0 1 1 5 】

また、本発明によれば、絶縁基板の一辺の略中央から両端に向けて複数のデータバスを配置するため、データバスの負荷容量を小さくでき、データバス上を伝搬するデータの電圧振幅を小さくできることから、消費電力の低減が図れる。

【 0 1 1 6 】

さらに、信号線を複数本おきに駆動するため、D / A 変換回路を各信号線ごとに設けなくて済み、実装面積の削減と消費電力の低減が図れる。

【図面の簡単な説明】

【図 1】

本発明に係る表示装置の一実施形態のブロック図。

【図 2】

図 1 の表示装置の斜視図。

【図 3】

グラフィックコントローラ I C の内部構成を示すブロック図。

【図 4】

グラフィックコントローラ I C の出力タイミング図。

【図 5】

位相調整回路の回路図。

【図 6】

同期信号とクロック信号 C L K を中間電位に設定するための中間電位設定回路の回路図。

【図 7】

フレームメモリの制御を行うメモリ制御回路の内部構成を示す図。

【図 8】

VRAM空間と表示空間との関係を示す図。

【図 9】

信号線駆動回路の内部構成を示すブロック図。

【図 1 0】

レベルシフタの回路図。

【図 1 1】

レベルシフタの入出力信号の波形図。

【図 1 2】

分周回路の回路図。

【図 1 3】

分周回路内の各ラッチ回路の出力タイミング図。

【図 1 4】

本実施形態の表示装置のガラス基板上のレイアウト図。

【図 1 5】

汎用のグラフィックコントローラ I C を用いて構成した従来の表示装置のチップレイアウト図。

【図 1 6】

本発明に係る表示装置の第 2 の実施形態のブロック図。

【図 1 7】

データバスの配置を示す図。

【図 1 8】

データバス上のデータの並び順を示す図。

【図 1 9】

図 1 6 の表示装置のタイミング図。

【図 2 0】

部分的に表示更新を行う例を示す図。

【図 2 1】

アドレス発生回路がアドレスを発生するタイミングを示す図。

【図 2 2】

アドレス発生回路がアドレスを発生するタイミングを示す図。

【図 2 3】

アクティブマトリクス型の画素アレイ部を有する表示装置において、信号線を 6 本おきに駆動する場合の E L パネル部 2 0 1 の概略構成を示すブロック図。

【図 2 4】

信号線を 3 本おきに駆動する場合の E L パネル部の概略構成を示すブロック図。

【図 2 5】

図 2 4 の変形例を示すブロック図。

【図 2 6】

デジタル画素データの伝送経路を示す図。

【図 2 7】

従来の液晶表示装置のブロック図。

【符号の説明】

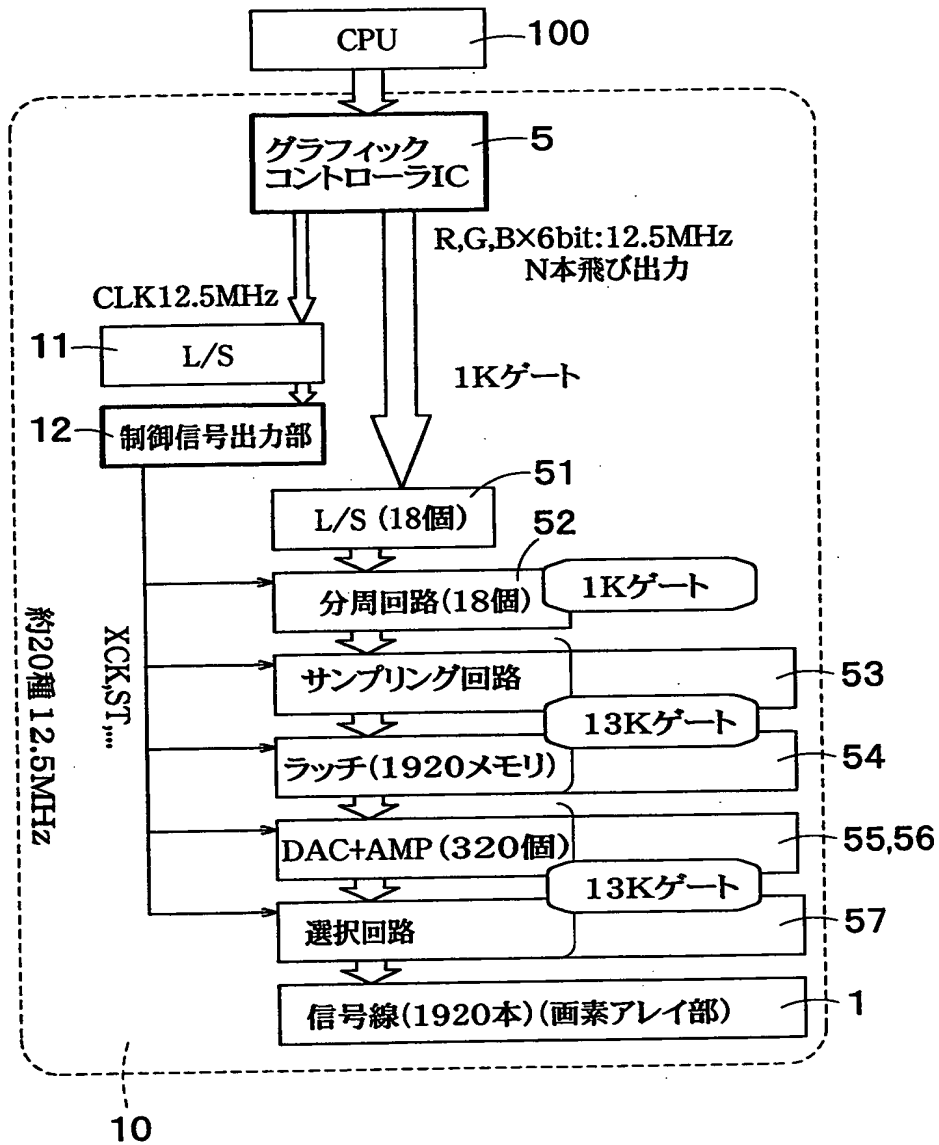
- 1 画素アレイ部 2 0 3
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 制御回路
- 5 グラフィックコントローラ I C
- 1 0 ガラス基板
- 1 1 レベルシフタ ( L / S )
- 1 2 制御信号出力部

- 1 3 ホストインタフェース部
- 3 1 ホストインタフェース部
- 3 2 レジスタ
- 3 3 フレームメモリ (VRAM)
- 3 4 メモリ制御回路
- 3 5 表示FIFO
- 3 6 カーソルFIFO
- 3 7 ルックアップテーブル
- 3 8 画素データ出力回路
- 3 9 位相調整回路
- 4 0 制御信号出力回路
- 5 1 レベルシフタ
- 5 2 分周回路
- 5 3 データ分配回路
- 5 4 ラッチ回路
- 5 5 D/Aコンバータ
- 5 6 アンプ
- 5 7 選択回路
- 2 0 1 E L パネル部
- 2 0 2 コントローラ I C
- 2 0 3 メモリセル
- 2 0 4 I / F 回路
- 2 0 5 a , 2 0 5 b データバス
- 2 0 6 バッファ回路
- 2 0 7 ビット線駆動回路
- 2 0 8 アドレスラッチ
- 2 0 9 アドレスバッファ
- 2 1 0 ワード線駆動回路
- 2 1 1 コントロール回路

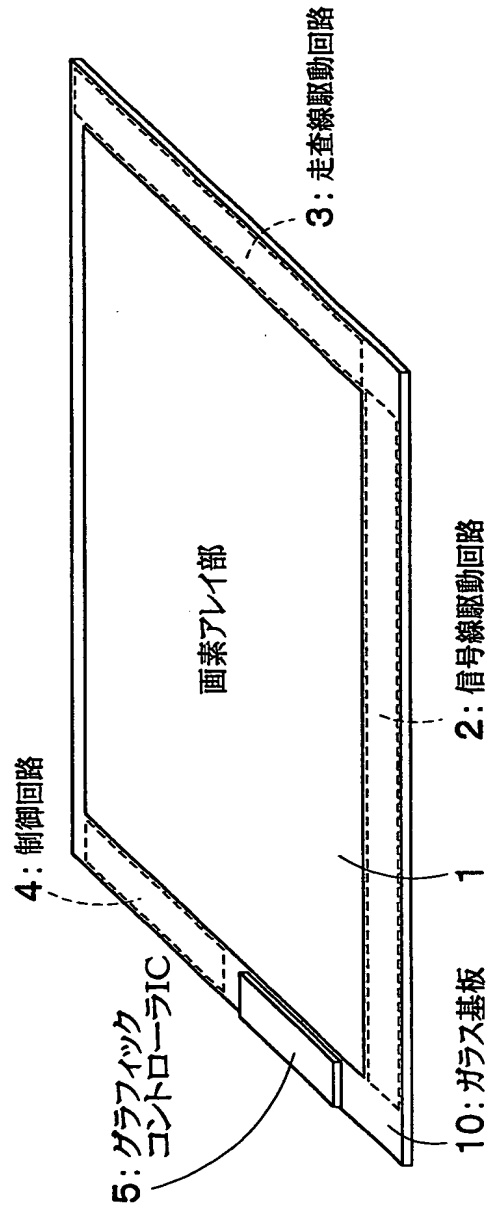
- 2 1 2    C P U I / F
- 2 1 3    表示メモリ (V R A M)
- 2 1 4    グラフィックコントローラ
- 2 1 5    コントローラ I C
- 2 1 8    並び替え回路

【書類名】 図面

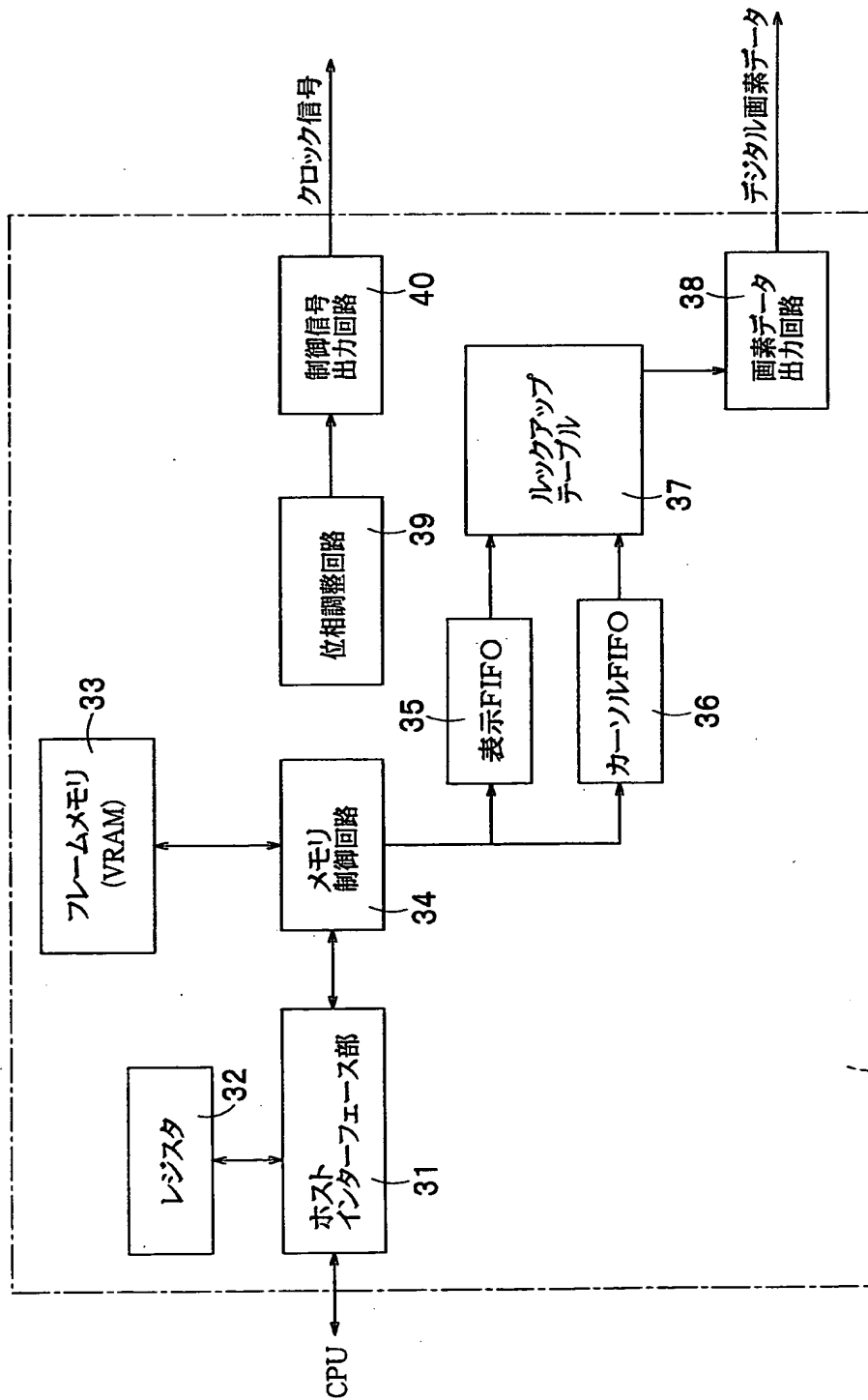
【図 1】



【図 2】



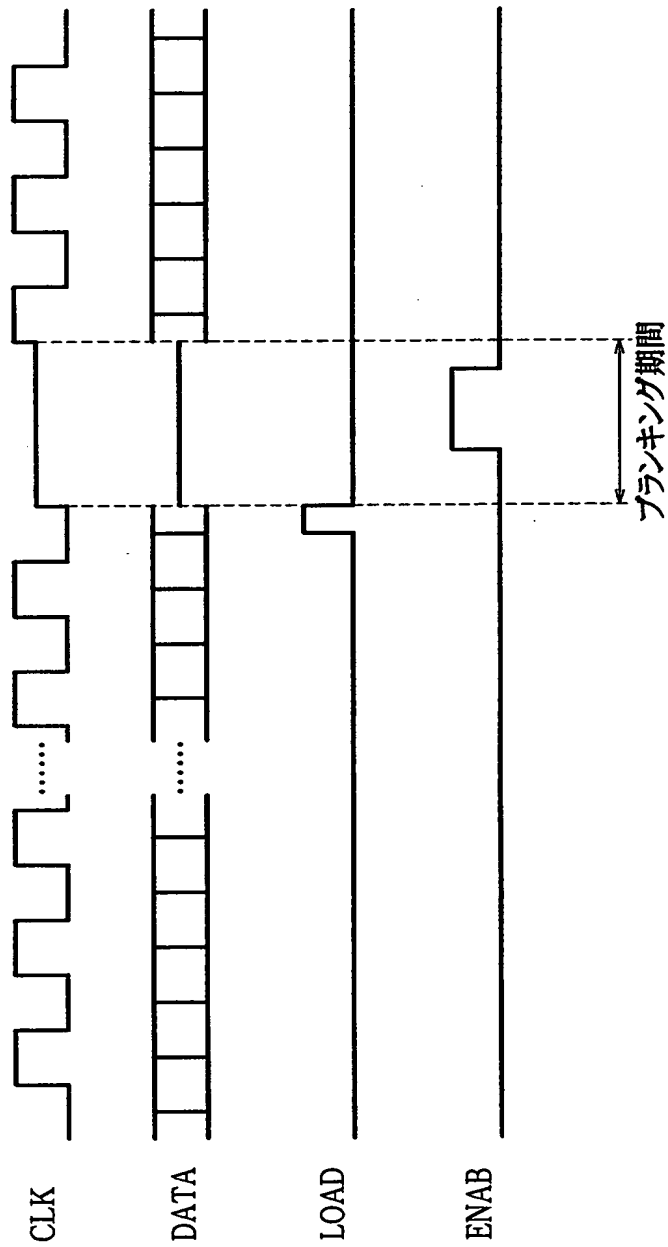
【図 3】



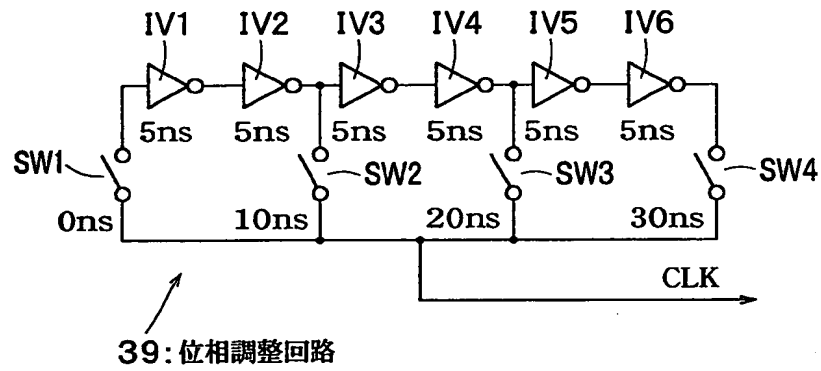
5: グラフィックコントローラIC



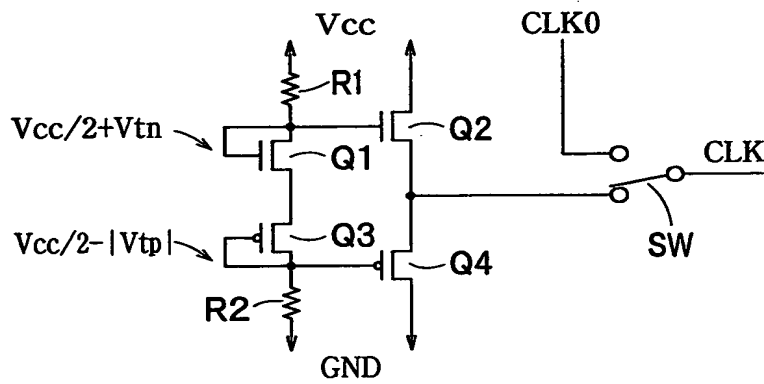
【図 4】



【図 5】



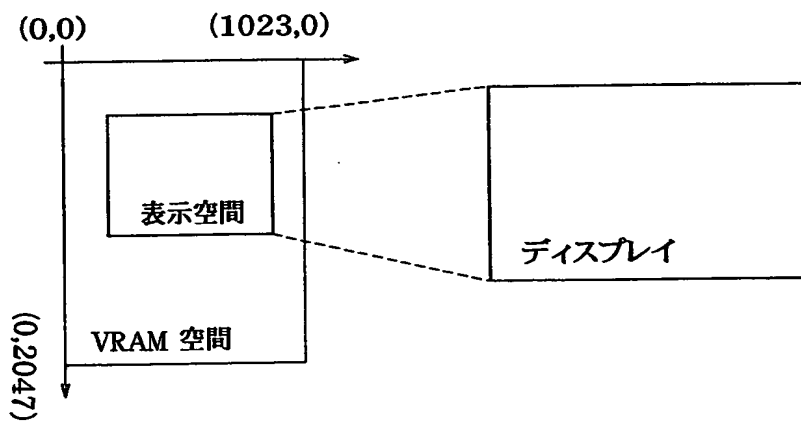
【図 6】



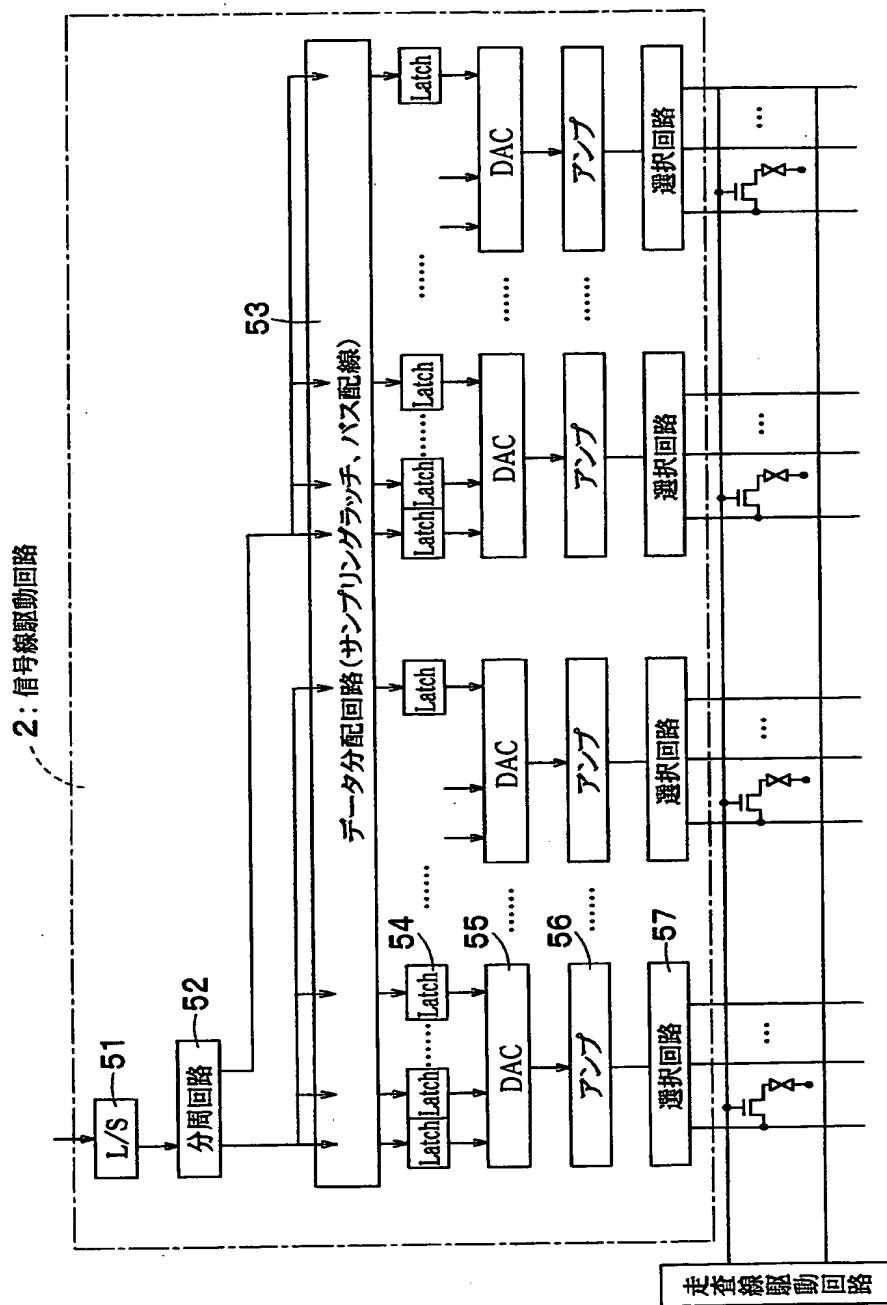
【図 7】

アプリケーション層	44
ドライバ関数層	43
I/O 関数層	42
ハードウェア層	41

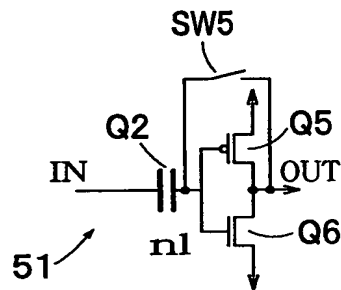
【図 8】



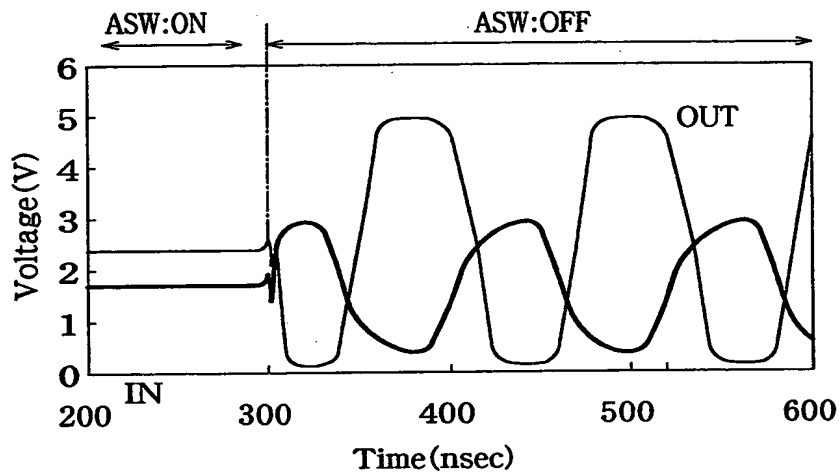
【図 9】



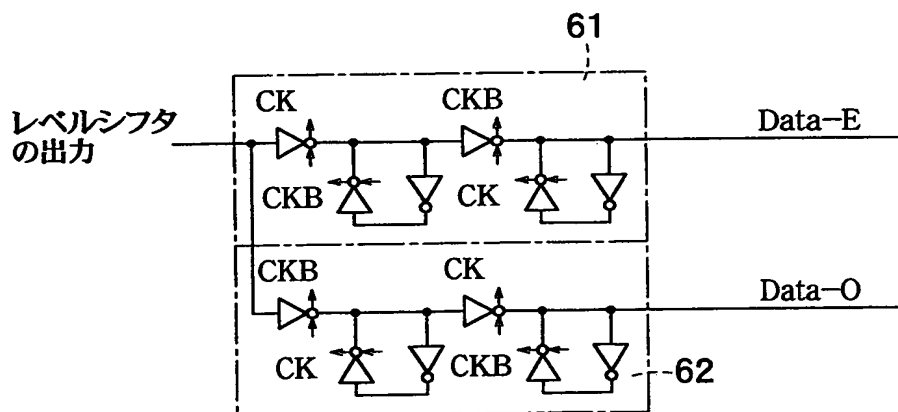
【図 1 0】



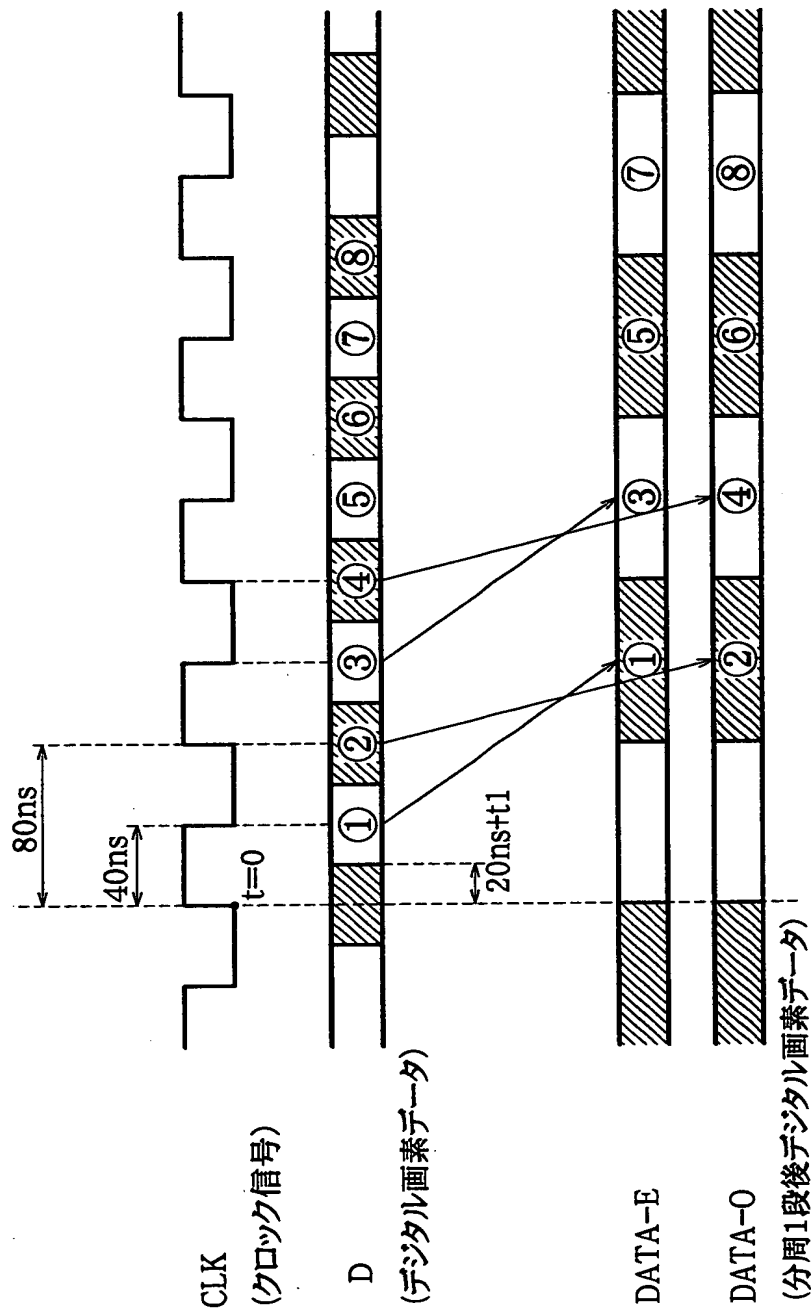
【図 1 1】



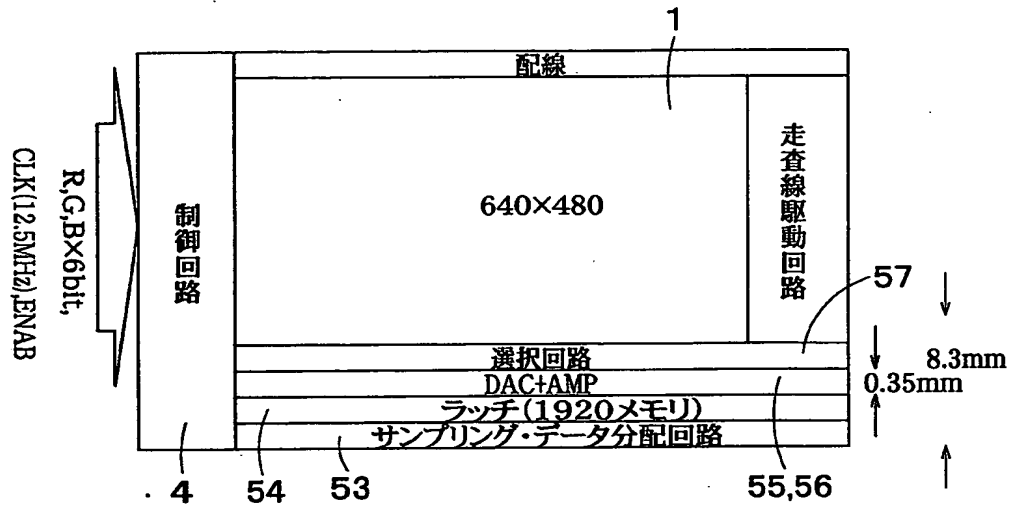
【図 1 2】



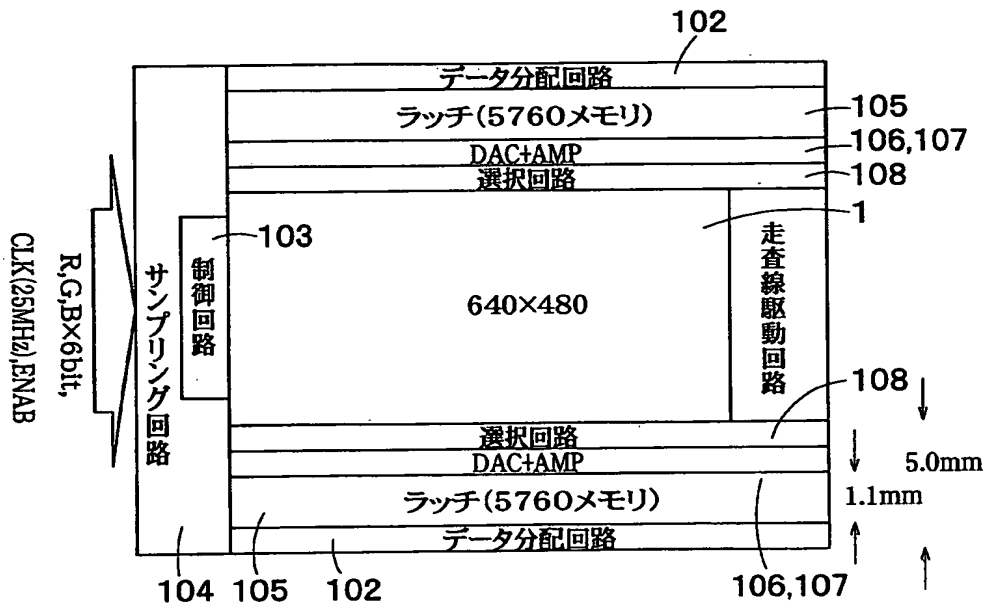
【図 1 3】



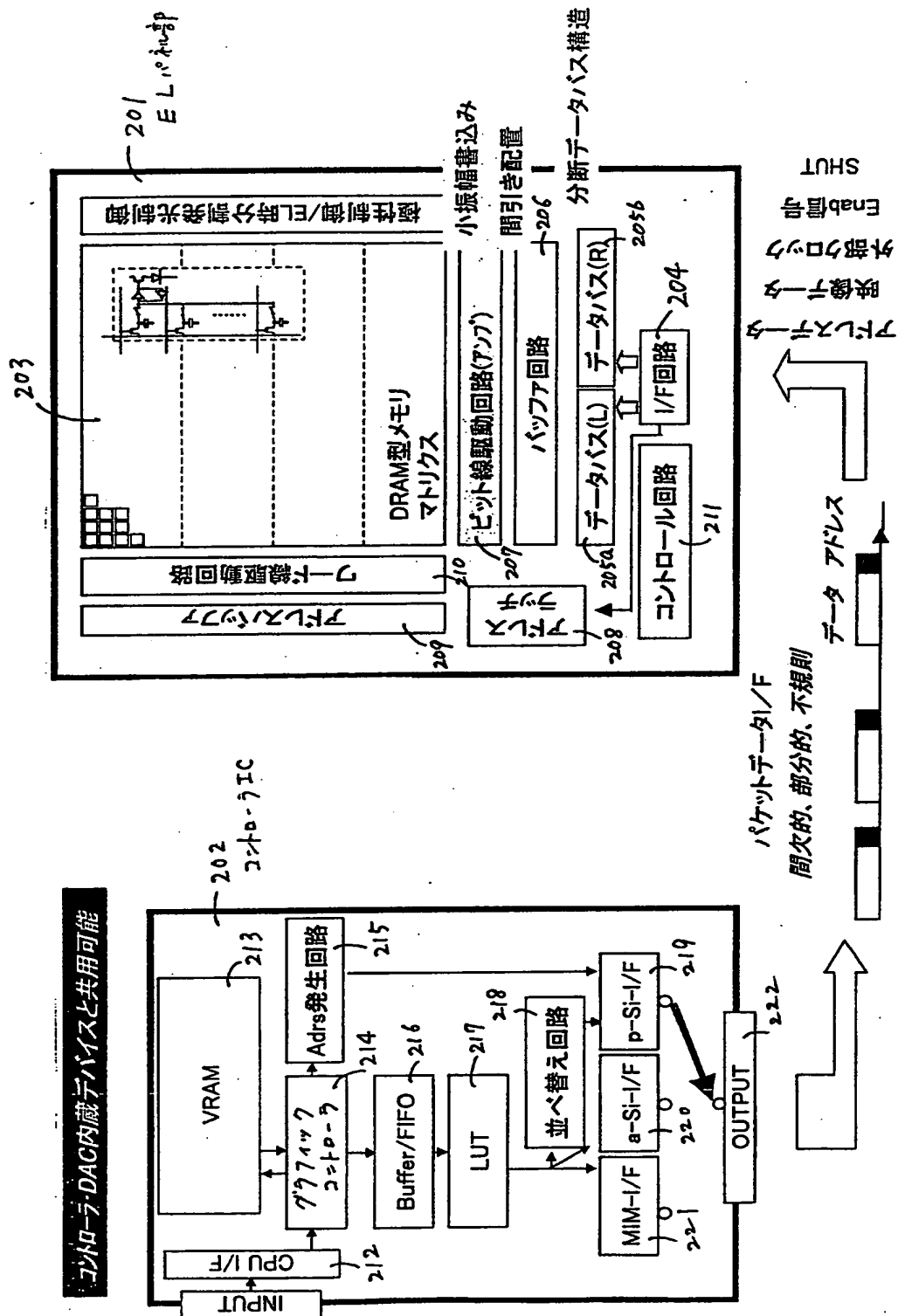
【図 14】



【図 15】

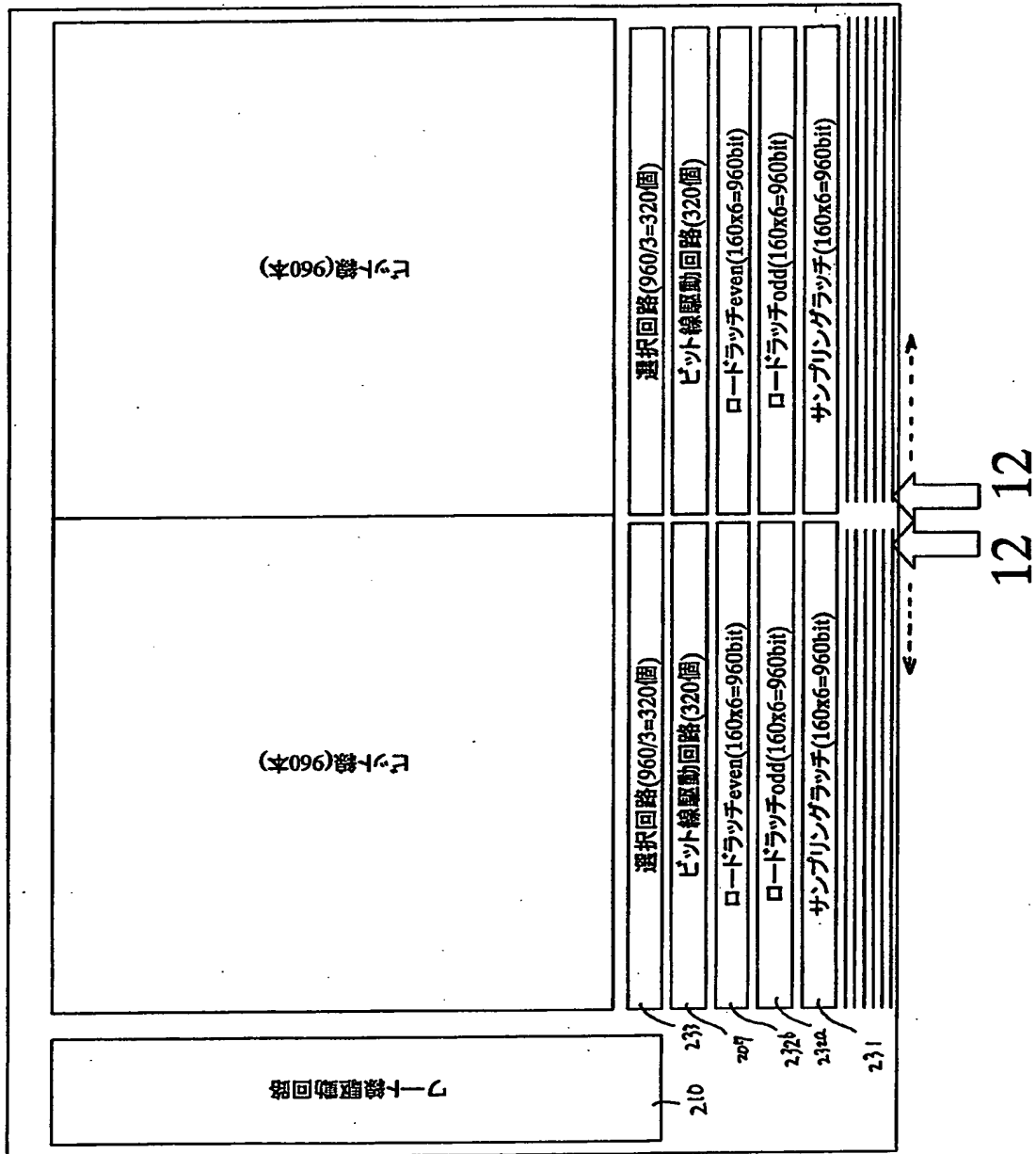


【図 16】





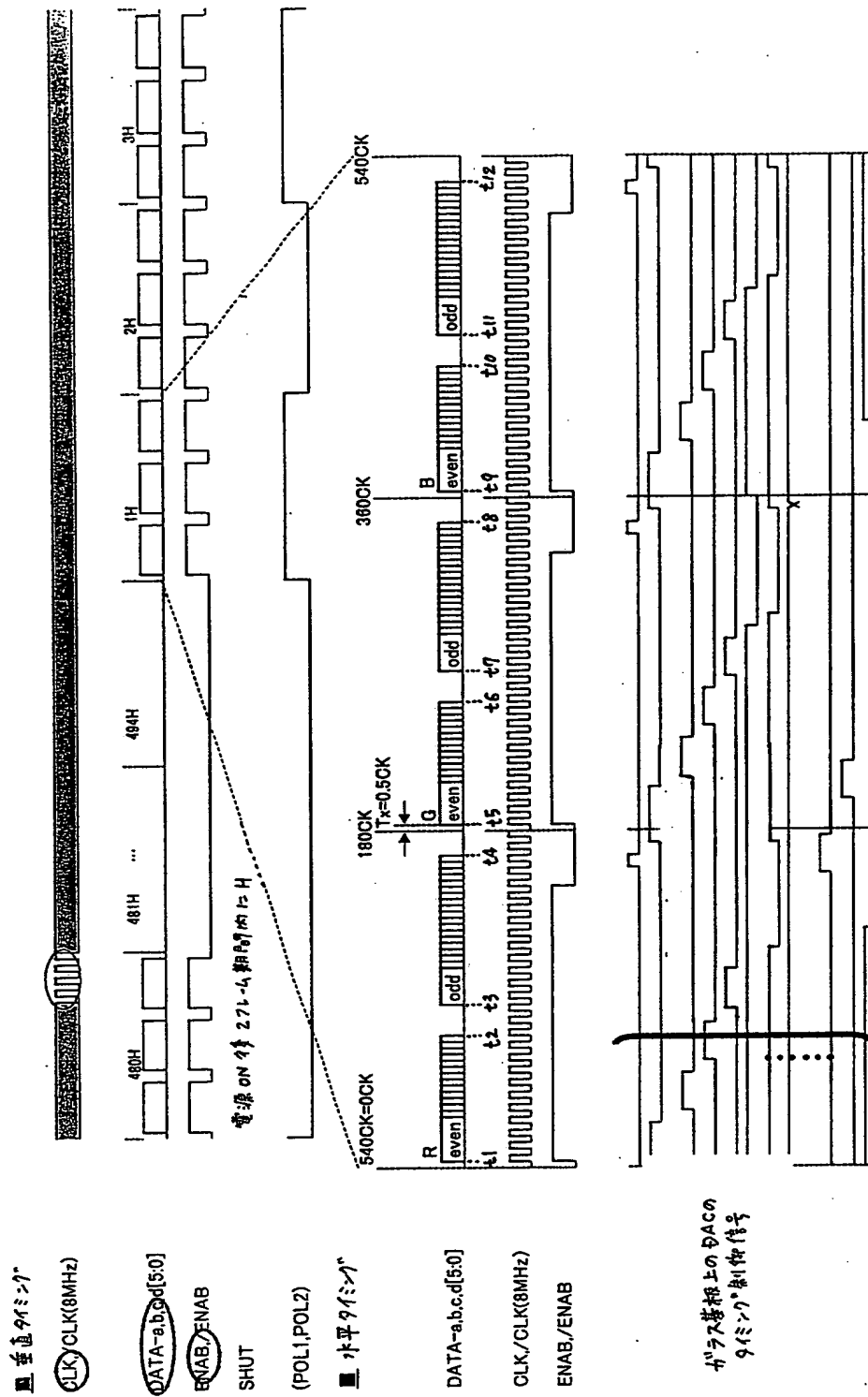
【図 1 7】



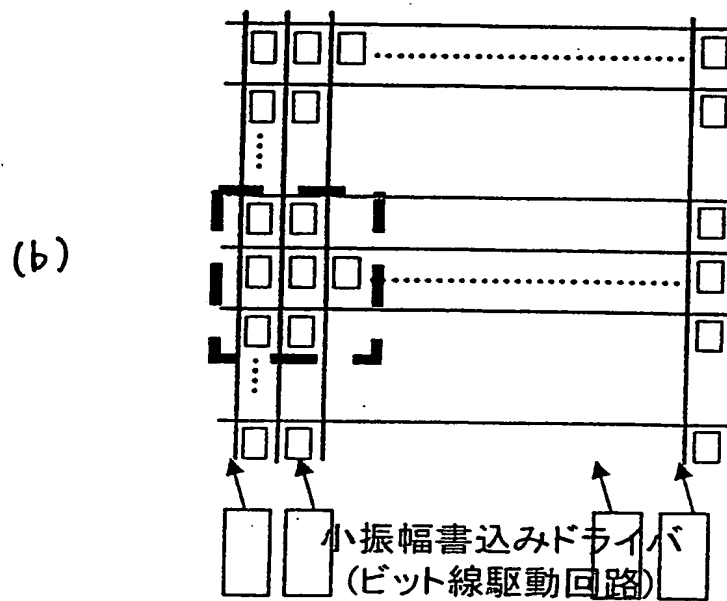
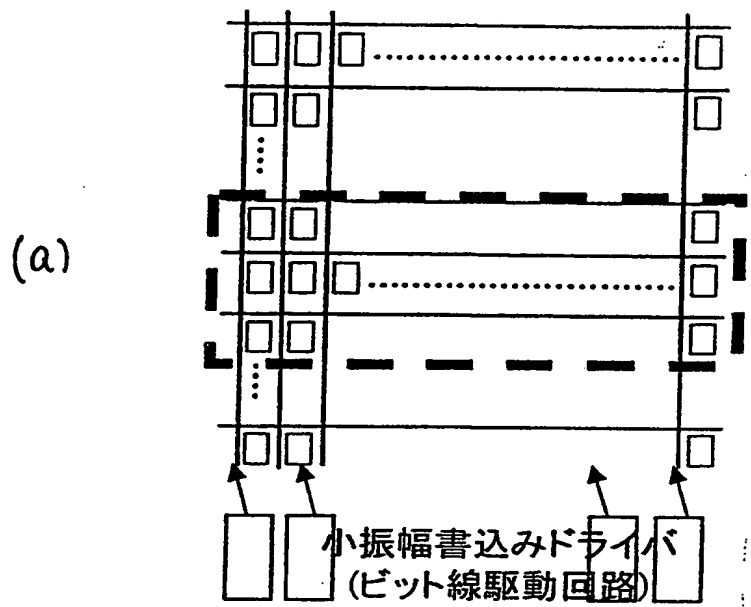
【図 1 8】

DATA-a [5:0]	R1	R5	R9	R13	...	R305	R309	R313	R317	BLK	R2	R6	R10	R14	...	R306	R310	R314	R318
DATA-b [5:0]	R3	R7	R11	R15	...	R307	R311	R315	R319	BLK	R4	R8	R12	R16	...	R308	R312	R316	R320
DATA-c [5:0]	R637	R633	R629	R625	...	R333	R329	R325	R321	BLK	R638	R634	R630	R626	...	R334	R330	R326	R322
DATA-d [5:0]	R639	R635	R631	R627	...	R335	R331	R327	R323	BLK	R640	R636	R632	R628	...	R336	R332	R328	R324
	G1	G5	G9	G13	...	G305	G309	G313	G317	BLK	G2	G6	G10	G14	...	G306	G310	G314	G318
	G9	G7	G11	G15	...	G307	G311	G315	G319	BLK	G4	G8	G12	G16	...	G308	G312	G316	G320
	G637	G633	G629	G625	...	G333	G329	G325	G321	BLK	G638	G634	G630	G626	...	G334	G330	G326	G322
	G639	G635	G631	G627	...	G335	G331	G327	G323	BLK	G640	G636	G632	G628	...	G336	G332	G328	G324
	B1	B5	B9	B13	...	B305	B309	B313	B317	BLK	B2	B6	B10	B14	...	B306	B310	B314	B318
	B3	B7	B11	B15	...	B307	B311	B315	B319	BLK	B4	B8	B12	B16	...	B308	B312	B316	B320
	B637	B633	B629	B625	...	B333	B329	B325	B321	BLK	B638	B634	B630	B626	...	B334	B330	B326	B322
	B639	B635	B631	B627	...	B335	B331	B327	B323	BLK	B640	B636	B632	B628	...	B336	B332	B328	B324

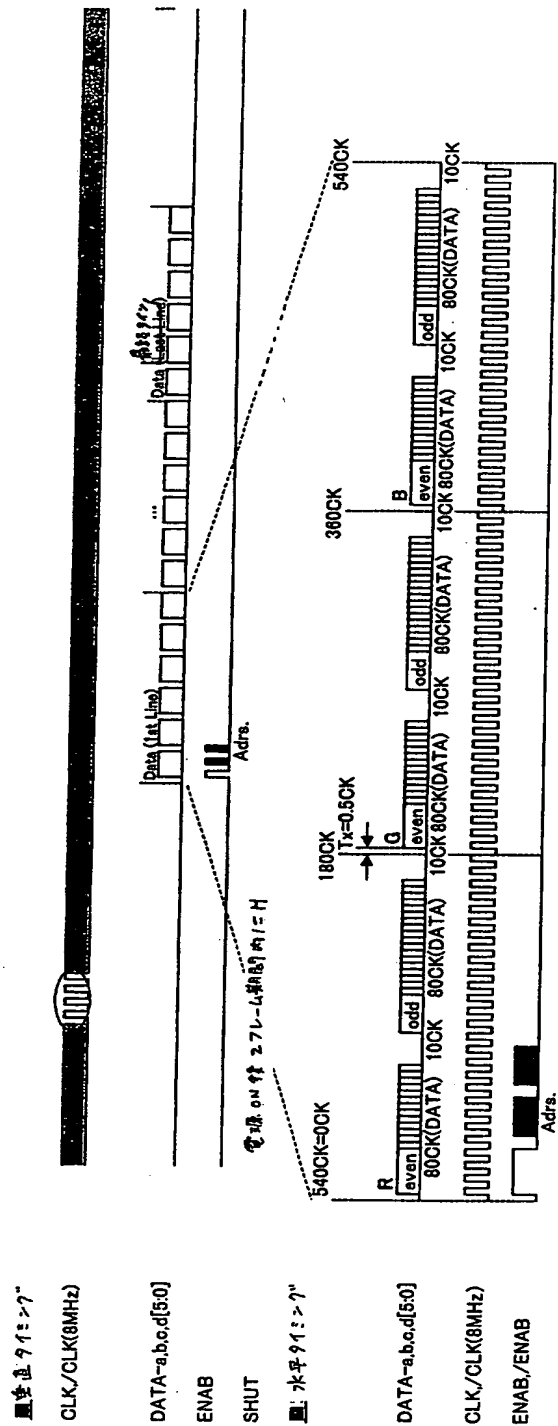
【図 19】



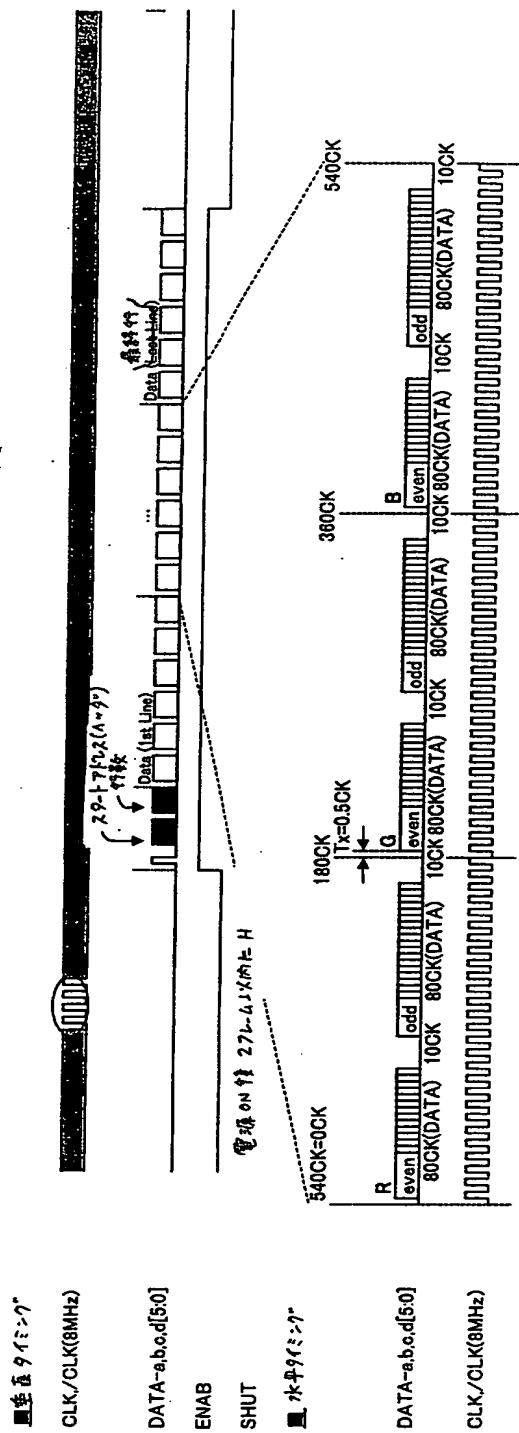
【図 2 0】



【図 2 1】

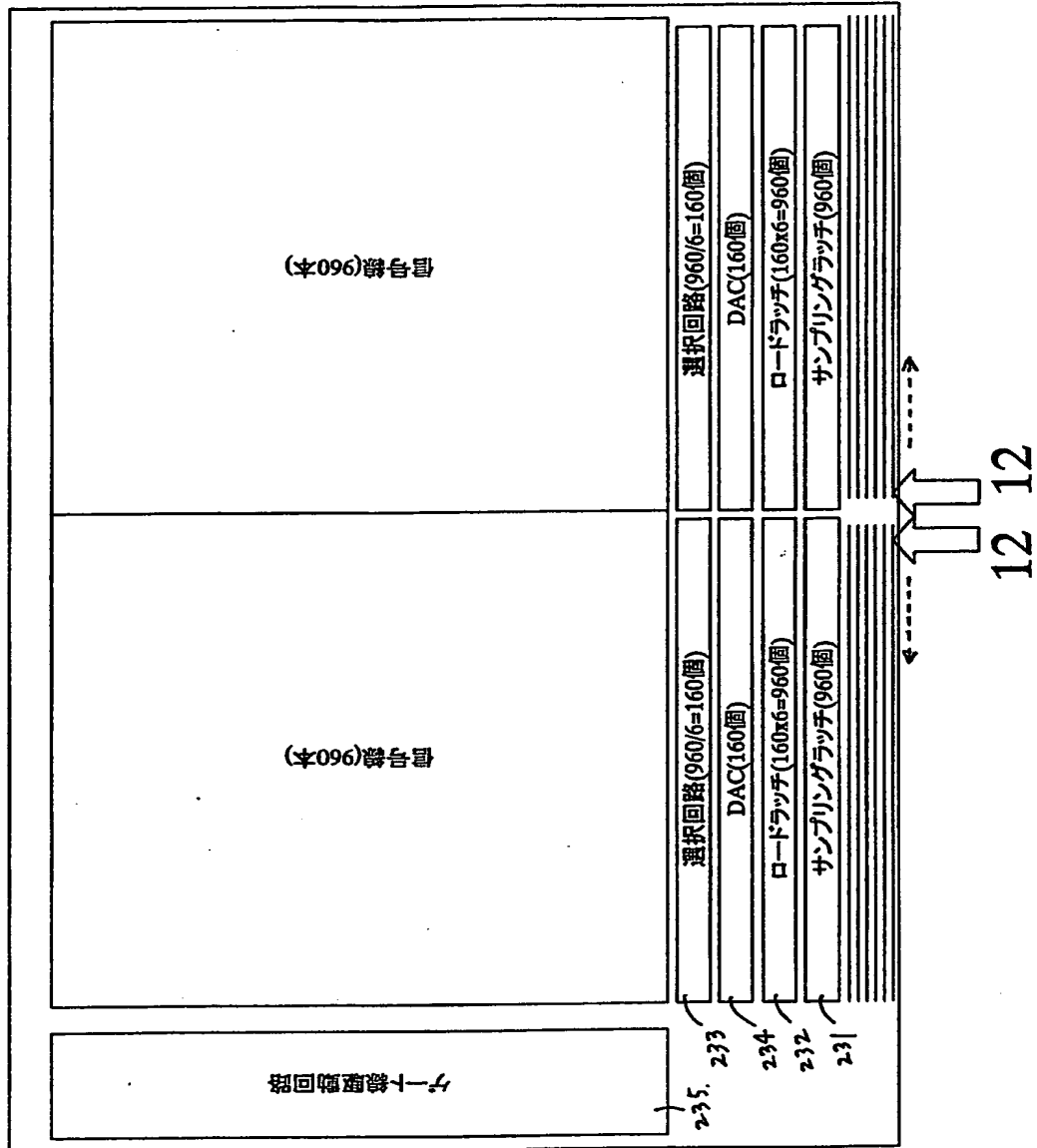


【图 2 2】



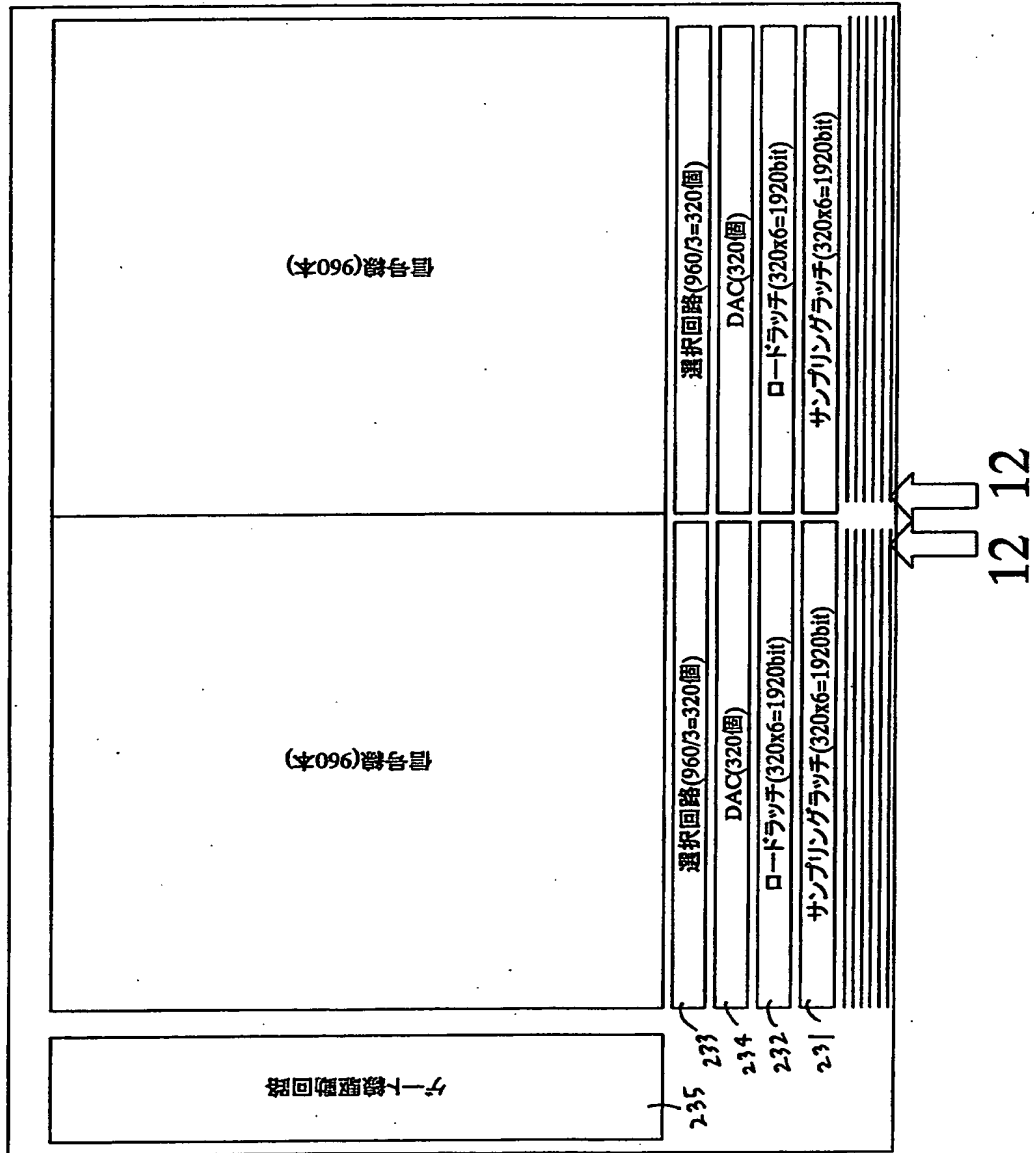
【図 23】

6信号線に対してDACを1個の割合で設けた例



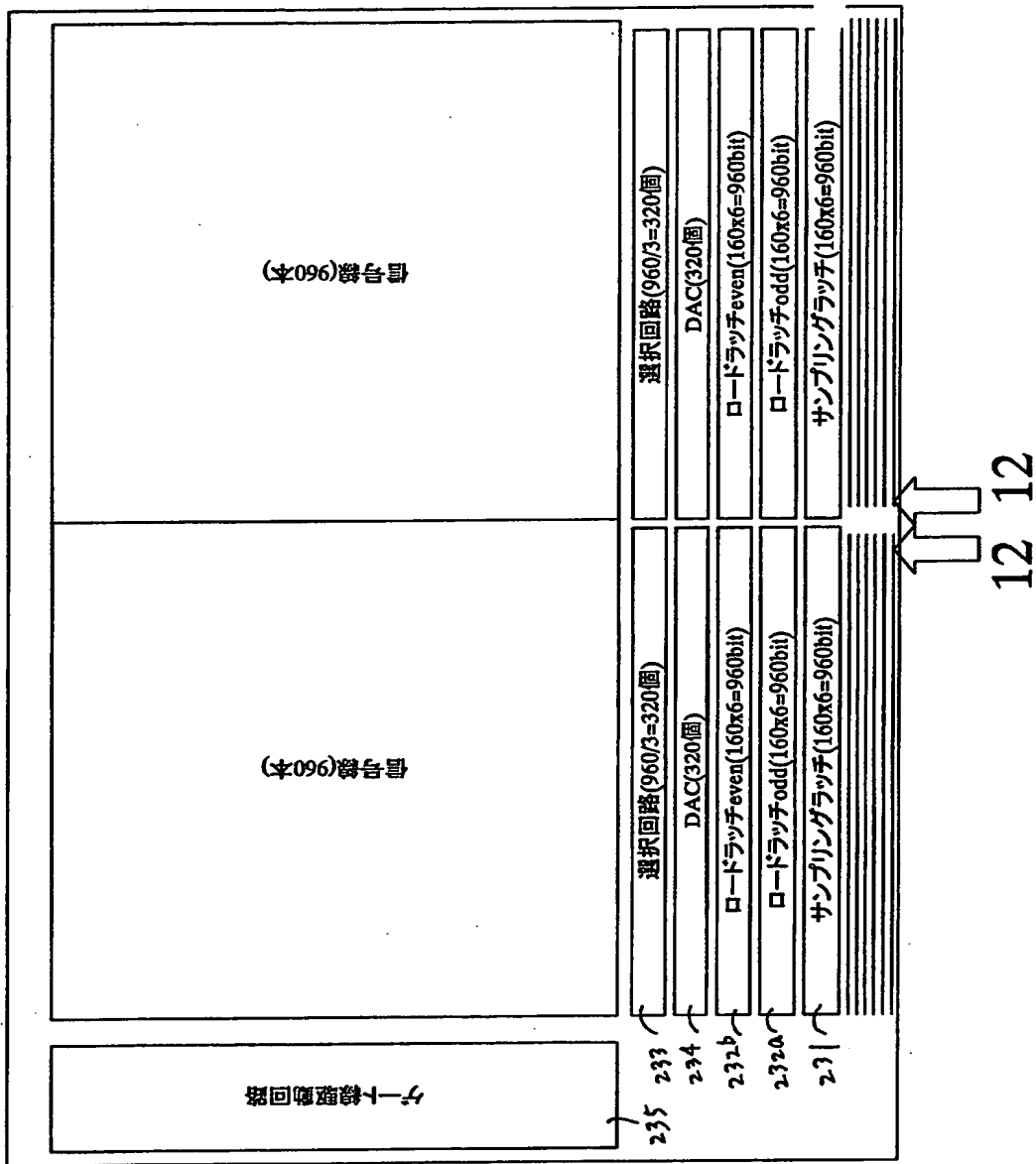
【図 2 4】

3信号線に対してDACを1個の割合で設けた例(1)

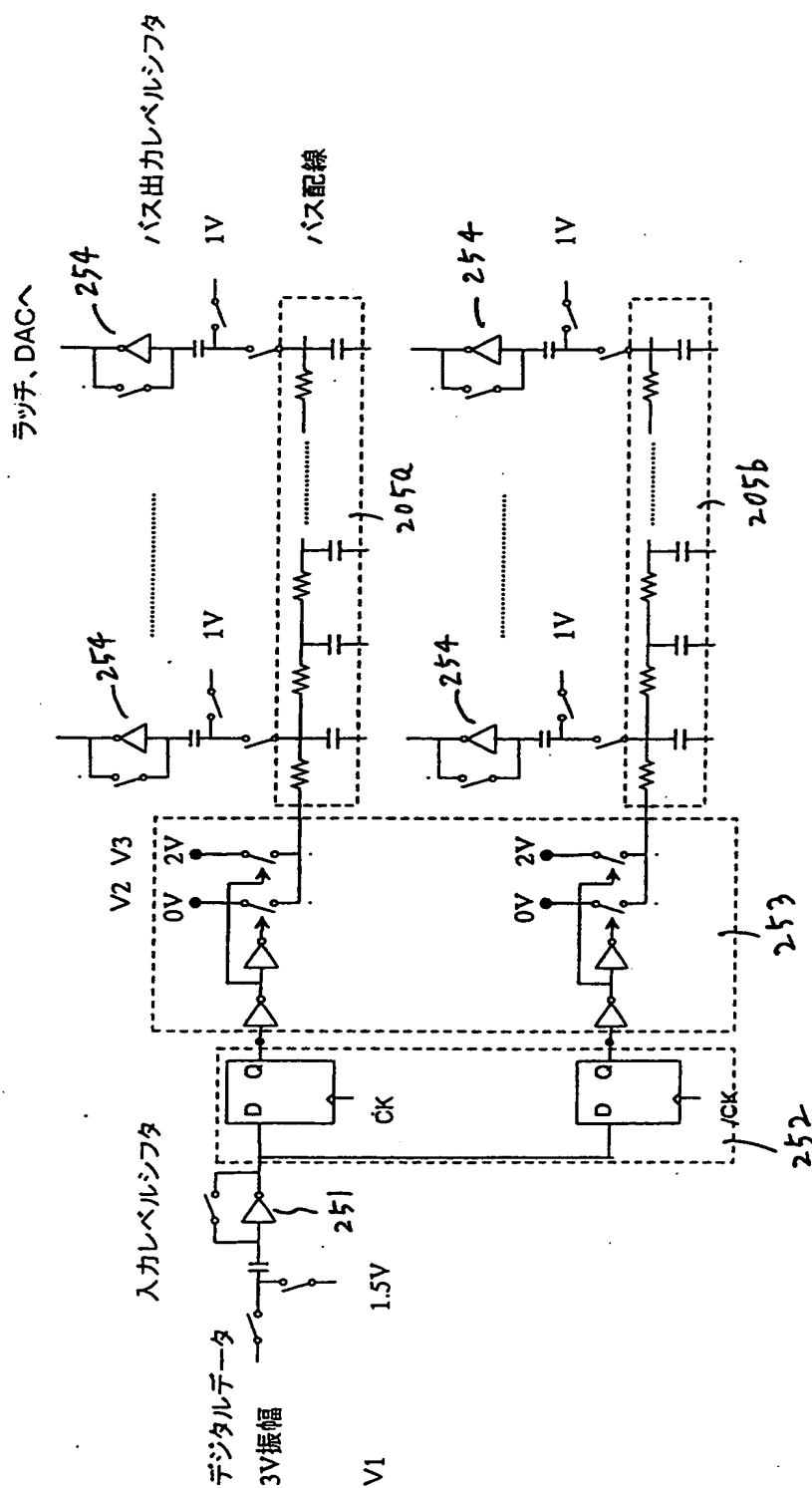




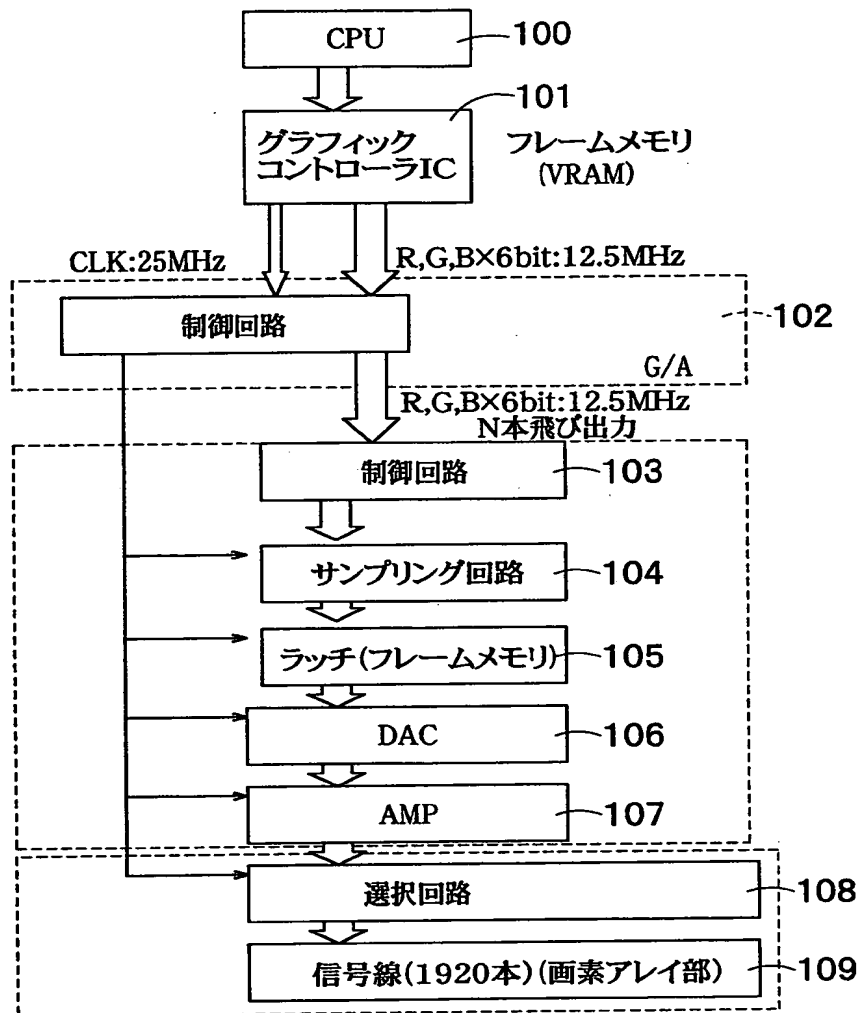
【図 2 5】



【図 26】



【図 2 7】



【書類名】 要約書

【要約】

【課題】 小型化が可能で、高解像度でも安定動作する表示装置を提供する。

【解決手段】 本発明の表示装置は、ガラス基板上にポリシリコンTFTを用いて形成された画素アレイ部2031、信号線駆動回路、走査線駆動回路および制御回路と、グラフィックコントローラIC5とを有する。グラフィックコントローラIC5は、デジタル画素データDATAの並び替えを内部で行うため、ゲートアレイを設ける必要がなくなる。また、クロック信号CLKの周期をデジタル画素データDATAの周期の2倍以上にするため、ポリシリコンTFTが正常に動作する周波数のクロック信号CLKを信号線駆動回路2に供給できる。さらに、クロック信号CLKのエッジとデジタル画素データDATAの変化位置とをずらして出力するため、信号線駆動回路2でデジタル画素データDATAを確実に取り込むことができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝